

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日

2004 年 4 月 8 日 (08.04.2004)

PCT

(10) 国際公開番号

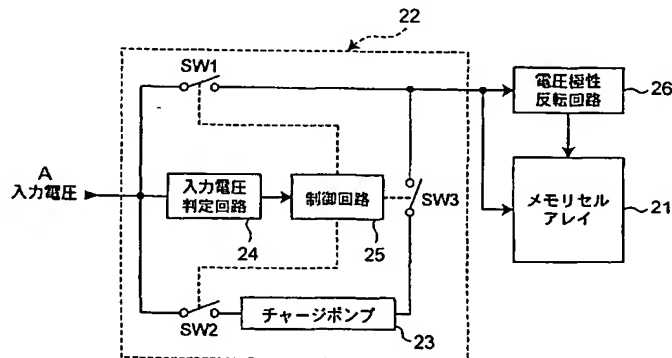
WO 2004/029985 A1

- (51) 国際特許分類: G11C 16/30, H01L 27/10, 29/788
- (21) 国際出願番号: PCT/JP2003/011559
- (22) 国際出願日: 2003 年 9 月 10 日 (10.09.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-280806 2002 年 9 月 26 日 (26.09.2002) JP
特願2003-142146 2003 年 5 月 20 日 (20.05.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-8522 大阪府 大阪市 阿倍野区長池町 2 番 2 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 矢追 善
- 史 (YAOI, Yoshifumi) [JP/JP]; 〒639-1053 奈良県 大和郡 山市 千日町 2 1-7 Nara (JP). 岩田 浩 (IWATA, Hiroshi) [JP/JP]; 〒636-0813 奈良県 生駒郡 三郷町 借貴ヶ丘 二丁目 4-1 3 Nara (JP). 柴田 晃秀 (SHIBATA, Akihide) [JP/JP]; 〒631-0803 奈良県 奈良市 山陵町 1 0 4-B 2 0 3 Nara (JP). 那脇 勝 (NAWAKI, Masaru) [JP/JP]; 〒630-8033 奈良県 奈良市 五条二丁目 1 7-3 4-1 3 Nara (JP). 徳井 圭 (TOKUI, Kei) [JP/JP]; 〒266-0005 千葉県 千葉市 緑区 菅田町二丁目 4-7 ラポール 菅田 B-2 0 8 Chiba (JP).
- (74) 代理人: 河宮 治, 外 (KAWAMIYA, Osamu et al.); 〒540-0001 大阪府 大阪市 中央区 城見 1 丁目 3 番 7 号 1 MP ビル 青山特許事務所 Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND MOBILE ELECTRONIC DEVICE

(54) 発明の名称: 半導体記憶装置および携帯電子機器



A... INPUT VOLTAGE
24... INPUT VOLTAGE JUDGMENT CIRCUIT
25... CONTROL CIRCUIT
23... CHARGE PUMP
26... VOLTAGE POLARITY INVERSION CIRCUIT
21... MEMORY CELL ARRAY

(57) Abstract: When an input voltage judgment circuit (24) judges that the input voltage exceeds a predetermined voltage, a control circuit (25) of a positive polarity power supply selection circuit (22) turns a first switch (SW1) ON and a second and a third switch (SW2, SW3) OFF, so that the input voltage is supplied via the first switch (SW1) to a memory cell array (21). On the other hand, when the input voltage judgment circuit (24) judges that the input voltage is equal to or below the predetermined voltage, the control circuit (25) turns

[続葉有]



HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

the first switch (SW1) OFF and the second and the third switch (SW2, SW3) ON, so that voltage from a charge pump (23) is supplied via the third switch (SW3). Thus, even when reduced in size, it is possible to store/hold two bits or more, assure a stable operation in a small circuit area, and prevent circuit malfunction attributed to small current supplied to the memory cell array.

(57) 要約: 正極性電源選択回路 22 の制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧を超えたと判定すると、第 1 のスイッチ SW1 をオンして第 2、第 3 のスイッチ SW2, SW3 をオフすることにより、上記入力電圧を第 1 のスイッチ SW1 を介してメモリセルアレイ 21 に供給する。一方、制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧以下であると判定すると、第 1 のスイッチ SW1 をオフして第 2、第 3 のスイッチ SW2, SW3 をオンすることにより、チャージポンプ 23 からの電圧を第 3 のスイッチ SW2, SW3 を介して供給する。これによって、微細化しても 2 ビット以上の記憶保持ができ、かつ、小さい回路面積で安定した動作ができ、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止できる。

明 細 書

半導体記憶装置および携帯電子機器

5 技術分野

本発明は、半導体記憶装置および携帯電子機器に関し、より詳しくは、メモリ機能を有する電界効果トランジスタをメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置およびその半導体記憶装置を用いた携帯電子機器に関する。

10

背景技術

従来から不揮発性の半導体記憶装置としては、代表的にはフラッシュメモリが用いられている。

15

このフラッシュメモリでは、図28に示すように、半導体基板901上にゲート絶縁膜908を介してフローティングゲート902、絶縁膜907、ワード線（コントロールゲート）903がこの順に形成されており、フローティングゲート902の両側には、拡散領域によるソース線904及びビット線905が形成されてメモリセルを構成する。このメモリセルの周囲には、素子分離領域906が形成されている（特開平5-304277を参照）。

20

上記メモリセルは、フローティングゲート902中の電荷量の多寡として記憶を保持する。上記メモリセルを配列して構成したメモリセルアレイは、特定のワード線、ビット線を選択して所定の電圧を印加することにより、所望のメモリセルの書き換え、読み出し動作を行なうことができる。

25

このようなフラッシュメモリでは、フローティングゲート902中の電荷量が増加したとき、図29に実線の曲線と破線の曲線で示すような、ドレイン電流 I_d 対ゲート電圧 V_g 特性を示す。すなわち、上記フローティングゲート902中の負電荷の量が増加すると、図29中の実線の曲線で示す特性から破線の曲線で示す特性になって、 I_d-V_g 曲線は、同じドレイン電流 I_d に対してゲート電圧 V_g が増加する方向にほぼ平行移動して、閾値電圧が増加する。

しかし、このようなフラッシュメモリでは、フローティングゲート 902 とワード線 903 とを隔てる絶縁膜 907 を配置することが機能上必要であるとともに、フローティングゲート 902 からの電荷漏れを防ぐために、ゲート絶縁膜の厚さを薄くすることが困難であった。そのため、実効的な絶縁膜 907 及びゲート絶縁膜の薄膜化は困難であり、メモリセルの微細化を阻害していた。

このため、上記メモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置では、回路面積をさらに小さくして確実な動作をさせるということができないという問題がある。

また、上記メモリ素子をメモリセルとしてメモリセルアレイに用いた半導体記憶装置では、外部から入力電圧を直接供給した場合、電流を十分に供給することは可能であるが、入力電圧のゆらぎが大きく、所望の電圧以下となる場合がある。そのため、正確な電圧をメモリセルアレイに供給するためには、チャージポンプが必要となる。しかしながら、上記チャージポンプ経由では、電流不足になりがちとなり、安定した動作ができず、信頼性が低下するという問題がある。

15

発明の開示

そこで、本発明の目的は、微細化しても 2 ビット以上の記憶保持ができ、かつ、小さい回路面積で安定した動作ができる半導体記憶装置を提供することにある。

また、本発明のもう 1 つの目的は、メモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止できる半導体記憶装置を提供することにある。

さらに、本発明のもう 1 つの目的は、上記半導体記憶装置を用いて小型化と性能向上および製造コストの削減が可能な携帯電子機器を提供することにある。

上記目的を達成するため、第 1 の発明の半導体記憶装置は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第 1 のスイッ

25

チと、上記入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基づいて、上記第1、第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧を超えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以下であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする。

ここで、メモリ機能体とは、電子または正孔を注入、抜取りが可能な機能を有するものである。上記構成の半導体記憶装置によれば、メモリ機能体に蓄えている電荷量の違いを電流量の違いに変換することにより電界効果トランジスタをメモリ素子として動作させる。そして、上記入力電圧判定回路が上記入力電圧が所定電圧を超えたと判定すると、上記制御回路が第1のスイッチをオンして上記第2および第3のスイッチをオフすることによって、入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以下であると判定すると、上記制御回路が第1のスイッチをオフして上記第2および第3のスイッチをオンすることによって、上記チャージポンプからの電圧を第3のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリ素子を用いることによって微細化しても2ビットの記憶保持が可能で、かつ、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実現できる。

また、一実施形態の半導体記憶装置は、上記第1、第2および第3のスイッチ夫々は、ソースが入力端子を形成する第1のPチャネル電界効果トランジスタと、上記第1のPチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタと、上記制御回路からの制御信号に応じて、第1のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフ

タと、上記制御回路からの制御信号に応じて、第2のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有することを特徴とする。

上記実施形態の半導体記憶装置によれば、上記第1、第2および第3のスイッチが、小さい回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

また、一実施形態の半導体記憶装置は、上記所定電圧が+3V～+12Vの範囲内の電圧であることを特徴とする。

上記実施形態の半導体記憶装置によれば、上記メモリセルアレイを構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流の供給が可能となる。

また、一実施形態の半導体記憶装置は、上記第1のスイッチの出力端子に入力端子が接続され、その入力端子に入力された電圧の極性を反転させて上記メモリセルアレイに出力する電圧極性反転回路を備えたことを特徴とする。

上記実施形態の半導体記憶装置によれば、上記メモリセルとしてのメモリ素子の消去動作時にゲート電極に負電圧を供給するとき、大きな電流の供給が必要ない場合、電圧極性反転回路にて正電圧を負電圧に変換し、ドレイン電極に正電圧、ゲート電極に負電極を印加することによって、小さい回路面積で効率的かつ確実な消去動作が可能となる。

また、第2の発明の半導体記憶装置は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記負極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記入力電圧が所定電圧以上か否かを判定

する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基づいて、第1、第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧未満であると判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以上であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする。

上記構成の半導体記憶装置によれば、上記第1の発明の半導体記憶装置と同様な回路構成により同様の作用、効果を有し、メモリセルアレイに負電圧を供給する場合、十分な電流供給が可能となる。

また、一実施形態の半導体記憶装置は、上記第1、第2および第3のスイッチ夫々は、ソースが入力端子を形成する第1のNチャネル電界効果トランジスタと、上記第1のNチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のNチャネル電界効果トランジスタと、上記制御回路からの制御信号に応じて、第1のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフタと、上記制御回路からの制御信号に応じて、第2のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有することを特徴とする。

上記実施形態の半導体記憶装置によれば、上記第1、第2および第3のスイッチが、小さな回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

また、一実施形態の半導体記憶装置は、上記所定電圧が $-3\text{V} \sim -12\text{V}$ の範囲内の電圧であることを特徴とする。

上記実施形態の半導体記憶装置によれば、上記メモリセルアレイを構成するメモリセルとしてのメモリ素子に適切な負電圧でかつ十分な電流の供給が可能となる。

また、第3の発明の半導体記憶装置は、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、

上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体とからなるメモリ素子をメモリセルとして用いたメモリセルアレイを備え、そのメモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記正極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続された第1のチャージポンプと、上記第1のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記正極性の入力電圧が第1の所定電圧以下か否かを判定する第1の入力電圧判定回路と、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を超えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする第1の制御回路とを備える。さらに、上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第4のスイッチと、上記負極性の入力電圧が入力端子に印加された第5のスイッチと、その第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、上記第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第6のスイッチと、上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、第4のスイッチをオンして第5および第6のスイッチをオフする一方、第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、第4のスイッチをオフして第5および第6のスイッチをオンする第2の制御回路とを備える。

上記構成の半導体記憶装置によれば、上記第1の発明の半導体記憶装置と同様な回路構成により同様の作用、効果を有し、メモリセルアレイに正電圧および負電圧を供給する場合、十分な電流供給が可能となる。

また、一実施形態の半導体記憶装置は、上記第1、第2および第3のスイッチ

夫々は、ソースが入力端子を形成する第1のPチャネル電界効果トランジスタと、その第1のPチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタと、上記第1の制御回路からの制御信号に応じて、第1のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第1の電圧レベルシフタと、上記第1の制御回路からの制御信号に応じて、第2のPチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第2の電圧レベルシフタとを有する。また、上記第4、第5および第6のスイッチ夫々は、ソースが入力端子を形成する第1のNチャネル電界効果トランジスタと、その第1のNチャネル電界効果トランジスタのドレインにドレインが接続され、ソースが出力端子を形成する第2のNチャネル電界効果トランジスタと、上記第2の制御回路からの制御信号に応じて、第1のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第3の電圧レベルシフタと、上記第2の制御回路からの制御信号に応じて、第2のNチャネル電界効果トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第4の電圧レベルシフタとを有する。

上記実施形態の半導体記憶装置によれば、上記第1～第6のスイッチが、小さな回路面積で実現可能であり、かつ、正確な回路動作を行うことができる。

また、一実施形態の半導体記憶装置は、上記第1の所定電圧が $+3\text{V} \sim +12\text{V}$ の範囲内の電圧であり、上記第2の所定電圧が $-3\text{V} \sim -12\text{V}$ の範囲内の電圧であることを特徴とする。

上記実施形態の半導体記憶装置によれば、正負両方の電圧ともに適切な電圧でかつ十分な電流の供給が可能となる。

また、第4の発明の半導体記憶装置は、メモリセルアレイと、そのメモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記負極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続されたチャージポンプと、上記チャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接

続された第3のスイッチと、上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路と、上記入力電圧判定回路の判定結果に基づいて、第1、第2および第3のスイッチをオンオフ制御する制御回路とを備える。上記制御回路は、入力電圧判定回路が入力電圧が所定電圧未満であると判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、入力電圧判定回路が入力電圧が所定電圧以上であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする。

上記構成の半導体記憶装置によれば、上記入力電圧判定回路が上記負極性の入力電圧が所定電圧未満であると判定すると、上記制御回路が第1のスイッチをオンして上記第2および第3のスイッチをオフすることによって、負極性の入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上記入力電圧判定回路が上記入力電圧が所定電圧以上であると判定すると、上記制御回路が第1のスイッチをオフして第2および第3のスイッチをオンすることによって、上記チャージポンプからの負電圧を第3のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリセルアレイに負電圧を供給する場合、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実現できる。

また、第5の発明の半導体記憶装置は、メモリセルアレイと、そのメモリセルアレイに外部から供給される正極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第1のスイッチと、上記正極性の入力電圧が入力端子に印加された第2のスイッチと、その第2のスイッチの出力端子にポンプ入力端子が接続された第1のチャージポンプと、上記第1のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第3のスイッチと、上記正極性の入力電圧が第1の所定電圧以下か否かを判定する第1の入力電圧判定回路と、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を超えたと判定すると、第1のスイッチをオンして第2および第3のスイッチをオフする一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、第1のスイッチをオフして第2および第3のスイッチをオンする第1の制御回路と

を備える。また、上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第4のスイッチと、上記負極性の入力電圧が入力端子に印加された第5のスイッチと、第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子がメモリセルアレイの入力端子に接続された第6のスイッチと、上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、第4のスイッチをオンして第5および第6のスイッチをオフする一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、第4のスイッチをオフして第5および第6のスイッチをオンする第2の制御回路とを備える。

上記構成の半導体記憶装置によれば、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧を越えたと判定すると、上記第1の制御回路が第1のスイッチをオンして第2および第3のスイッチをオフすることによって、正極性の入力電圧を第1のスイッチを介してメモリセルアレイに供給する。一方、上記第1の入力電圧判定回路が上記正極性の入力電圧が第1の所定電圧以下であると判定すると、上記第1の制御回路が第1のスイッチをオフして第2および第3のスイッチをオンすることによって、第1のチャージポンプからの正電圧を第3のスイッチを介してメモリセルアレイに供給する。また、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧未満であると判定すると、上記第2の制御回路が第4のスイッチをオンして第5および第6のスイッチをオフすることによって、負極性の入力電圧を第4のスイッチを介してメモリセルアレイに供給する。一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が第2の所定電圧以上であると判定すると、上記第2の制御回路が第4のスイッチをオフして第5および第6のスイッチをオンすることによって、上記第2のチャージポンプからの負電圧を第6のスイッチを介してメモリセルアレイに供給する。したがって、上記メモリセルアレイに正電圧および負電圧を供給する場合、メモリセルアレイに十分な電流供給ができ、回路誤動作を防止できる半導体記憶装置を実

現できる。

第6の発明の半導体記憶装置は、上記第1～第3の発明のうちのいずれか1つの半導体記憶装置であって、上記メモリ素子の有するメモリ機能体の少なくとも一部が拡散領域の一部にオーバーラップしている。

5 また、第7の発明の半導体記憶装置は、上記第1～第3の発明のうちのいずれか1つの半導体記憶装置であって、上記メモリ素子のゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜とチャネル領域又は半導体層とを隔てる絶縁膜を有し、絶縁膜膜厚が、ゲート絶縁膜の膜厚より薄く、かつ0.8 nm以上である。

10 第6及び第7の発明の半導体記憶装置によれば、上記メモリ素子の書込み動作及び消去動作の電圧を低下させることによって、従来のように、高電圧に対応するためにゲート絶縁膜の膜厚を厚くする必要がない。そのため、上記メモリ素子や上記メモリ素子を動作させるための回路を構成するトランジスタにおける短チャンネル効果が軽減される。その結果、上記メモリ素子および上記メモリ素子を
15 動作させるための回路を構成するトランジスタについて、従来よりもチャンネル長を短くすることができる。

 また、チャージポンプ装置に含まれるキャパシタの面積を小さくすることができる。

 このため、上記半導体記憶装置の回路面積を大幅に削減することが可能となる。

20 また、第8の発明の携帯電子機器は、上記第1～第3の発明のうちのいずれか1つの半導体記憶装置を備えたことを特徴とする。

 上記構成の携帯電子機器によれば、1トランジスタ当たり2ビットの記憶が可能で、かつ、微細化が容易な半導体記憶装置を備えており、メモリ素子をメモリセルとして用いたメモリセルアレイへの書き込み動作、消去動作のとき、十分な電
25 流を有する適切な電圧を供給することが可能である。したがって、誤動作なく携帯電子機器の信頼性を向上できると共に、小型化により製造コストを削減することが可能になる。

図面の簡単な説明

図 1 は本発明の第 1 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 2 A, B は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

5 図 3 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の書込み動作を説明するための図である。

図 4 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の書込み動作を説明するための図である。

10 図 5 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

図 6 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の消去動作を説明するための図である。

図 7 は上記第 1 実施形態の半導体記憶装置におけるメモリ素子の読み出し動作を説明する図である。

15 図 8 は本発明の第 2 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 9 は上記第 2 実施形態の半導体記憶装置の要部の拡大概略断面図である。

図 10 は上記第 2 実施形態の半導体記憶装置の変形例の要部の拡大概略断面図である。

20 図 11 は上記第 2 実施形態の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

図 12 は上記第 2 実施形態の半導体記憶装置におけるメモリ素子の変形例の要部の概略断面図である。

25 図 13 は本発明の第 3 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 14 は本発明の第 4 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 15 は本発明の第 5 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 6 は本発明の第 6 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 7 は本発明の第 7 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

5 図 1 8 は本発明の第 8 実施形態の半導体記憶装置におけるメモリ素子の要部の概略断面図である。

図 1 9 は本発明の第 9 実施形態の半導体記憶装置におけるメモリ素子の電気特性を示すグラフである。

図 2 0 は本発明の第 1 0 実施形態の半導体記憶装置のブロック図である。

10 図 2 1 は上記半導体記憶装置に用いられる第 1, 第 2 および第 3 のスイッチの回路図である。

図 2 2 は上記半導体記憶装置に用いられるチャージポンプの回路図である。

図 2 3 は上記半導体記憶装置に用いられる電圧極性反転回路の回路図である。

15 図 2 4 は上記半導体記憶装置の制御回路の動作を説明するためのフローチャートである。

図 2 5 は本発明の第 1 1 実施形態の半導体記憶装置のブロック図である。

図 2 6 は本発明の第 1 2 実施形態の半導体記憶装置を組み込んだ液晶表示装置の概略構成図である。

20 図 2 7 は本発明の第 1 3 実施形態の携帯電子機器の一例としての携帯電話のブロック図である。

図 2 8 は従来のフラッシュメモリの要部の概略断面図である。

図 2 9 は従来のフラッシュメモリの電気特性を示すグラフである。

発明を実施するための最良の形態

25 まず、本発明の半導体記憶装置に用いる不揮発性のメモリ素子について、その概略を説明する。

上記メモリ素子は、主として、半導体層と、ゲート絶縁膜と、ゲート電極と、チャネル領域と、拡散領域と、メモリ機能体とから構成される。ここで、上記チャネル領域とは、通常、半導体層と同じ導電型の領域であって、ゲート電極直下

の領域を意味し、拡散領域は、チャネル領域と逆導電型の領域を意味する。

具体的には、本発明のメモリ素子は、拡散領域である1つの第1導電型の領域と、チャネル領域である第2導電型の領域と、第1及び第2導電型の領域の境界を跨って配置された1つのメモリ機能体と、ゲート絶縁膜を介して設けられた電極とから構成されていてもよいが、ゲート絶縁膜上に形成されたゲート電極と、ゲート電極の両側に形成された2つのメモリ機能体と、メモリ機能体のゲート電極と反対側のそれぞれに配置される2つの拡散領域と、ゲート電極下に配置されたチャネル領域とから構成されることが適当である。

本発明の半導体装置は、半導体層として半導体基板の上、好ましくは半導体基板内に形成された第1導電型のウェル領域の上に形成されることが好ましい。

半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、シリコンゲルマニウム、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板が挙げられる。また、表面に半導体層を有するものとして、SOI (Silicon on Insulator) 基板、SOS (Silicon on Sapphire) 基板又は多層SOI基板等の種々の基板、ガラスやプラスチック基板上に半導体層を有するものを用いてもよい。なかでもシリコン基板又は表面にシリコン層が形成されたSOI基板等が好ましい。半導体基板又は半導体層は、内部を流れる電流量に多少が生ずるが、単結晶（例えば、エピタキシャル成長による）、多結晶又はアモルファスのいずれであってもよい。

この半導体層上には、素子分離領域が形成されていることが好ましく、さらにトランジスタ、キャパシタ、抵抗等の素子、これらによる回路、半導体装置や層間絶縁膜が組み合わせられて、シングル又はマルチレイヤー構造で形成されていてもよい。なお、素子分離領域は、LOCOS (Local Oxidation of Silicon) 膜、トレンチ酸化膜、STI (Shallow Trench Isolation) 膜等種々の素子分離膜により形成することができる。半導体層は、P型又はN型の導電型を有していてもよく、半導体層には、少なくとも1つの第1導電型（P型又はN型）のウェル領域が形成されていることが好ましい。半導体層及びウェル領域の不純物濃度は、当該分野で公知の範囲のものが使用できる。なお、半導体層としてSOI基

板を用いる場合には、表面半導体層には、ウェル領域が形成されていてもよいが、チャンネル領域下にボディ領域を有していてもよい。

ゲート絶縁膜は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜；酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜などの高誘電体膜の単層膜又は積層膜を使用することができる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、例えば、1～20 nm程度、好ましく1～6 nm程度の膜厚とすることが適当である。ゲート絶縁膜は、ゲート電極直下にのみ形成されていてもよいし、ゲート電極よりも大きく（幅広で）形成されていてもよい。

ゲート電極は、ゲート絶縁膜上に、通常半導体装置に使用されるような形状又は下端部に凹部を有した形状で形成されている。なお、ゲート電極は、単層又は多層の導電膜によって分離されることなく、一体形状として形成されていることが好ましいが、単層又は多層の導電膜によって、分離した状態で配置していてもよい。また、ゲート電極は、側壁に側壁絶縁膜を有していてもよい。ゲート電極は、通常、半導体装置に使用されるものであれば特に限定されるものではなく、導電膜、例えば、ポリシリコン：銅、アルミニウム等の金属：タングステン、チタン、タンタル等の高融点金属：高融点金属とのシリサイド等の単層膜又は積層膜等が挙げられる。ゲート電極の膜厚は、例えば50～400 nm程度の膜厚で形成することが適当である。なお、ゲート電極の下にはチャンネル領域が形成されている。

なお、ゲート電極は、後述するメモリ機能体の側壁のみに形成されるか、あるいはメモリ機能体の上部を覆わないことが好ましい。このような配置により、コンタクトプラグをよりゲート電極と接近して配置することができるので、メモリ素子の微細化が容易となる。また、このような単純な配置を有するメモリ素子は製造が容易であり、歩留まりを向上することができる。

メモリ機能体は、少なくとも電荷を保持する機能（以下「電荷保持機能」と記す）を有する。言換えると、電荷を蓄え、保持するか、電荷をトラップするか、電荷分極状態を保持する機能を有する。この機能は、例えば、電荷保持機能を有

する膜又は領域をメモリ機能体が含むことにより発揮される。この機能を果たすものとしては、シリコン窒化物；シリコン；リン、ボロン等の不純物を含むシリケートガラス；シリコンカーバイド；アルミナ；ハフニウムオキシサイド、ジルコニウムオキシサイド、タンタルオキシサイド等の高誘電体；酸化亜鉛；強誘電体；金属等が挙げられる。したがって、メモリ機能体は、例えば、シリコン窒化膜を含む絶縁膜；導電膜もしくは半導体層を内部に含む絶縁膜；導電体もしくは半導体ドットを1つ以上含む絶縁膜；電界により内部電荷が分極し、その状態が保持される強誘電体膜を含む絶縁膜等の単層又は積層構造によって形成することができる。なかでも、シリコン窒化膜は、電荷をトラップする準位が多数存在するため大きなヒステリシス特性を得ることができ、また、電荷保持時間が長く、リークパスの発生による電荷漏れの問題が生じないため保持特性が良好であり、さらに、LSIプロセスではごく標準的に用いられる材料であるため、好ましい。

シリコン窒化膜などの電荷保持機能を有する膜を内部に含む絶縁膜をメモリ機能体として用いることにより、記憶保持に関する信頼性を高めることができる。

シリコン窒化膜は絶縁体であるから、その一部に電荷のリークが生じた場合でも、直ちにシリコン窒化膜全体の電荷が失われることがないからである。また、複数のメモリ素子を配列する場合、メモリ素子間の距離が縮まって隣接するメモリ機能体が接触しても、メモリ機能体が導電体からなる場合のように夫々のメモリ機能体に記憶された情報が失われることがない。さらに、コンタクトプラグをよりメモリ機能体と接近して配置することができ、場合によってはメモリ機能体と重なるように配置することができるので、メモリ素子の微細化が容易となる。

なお、記憶保持に関する信頼性を高めるためには、電荷保持機能を有する膜は、必ずしも膜状である必要はなく、電荷保持機能を有する膜が絶縁膜中に離散的に存在することが好ましい。具体的には、電荷を保持しにくい材料、例えば、シリコン酸化物中にドット状に電荷保持機能を有する膜が分散していることが好ましい。

電荷保持膜として導電膜又は半導体層を用いる場合には、電荷保持膜が半導体層（半導体基板、ウェル領域、ボディ領域又はソース／ドレイン領域もしくは拡散領域）又はゲート電極と直接接触しないように、絶縁膜を介して配置させるこ

とが好ましい。例えば、導電膜と絶縁膜との積層構造、絶縁膜内に導電膜をドット状等に分散させた構造、ゲートの側壁に形成された側壁絶縁膜内の一部に配置した構造等が挙げられる。

5 導電膜又は半導体層を内部に含む絶縁膜をメモリ機能体として用いることにより、導電体又は半導体中への電荷の注入量を自由に制御でき、多値化しやすいため、好ましい。

さらに、導電体又は半導体ドットを1つ以上含む絶縁膜をメモリ機能体として用いることにより、電荷の直接トンネリングによる書込み・消去が行ないやすくなり、低消費電力化することができ、好ましい。

10 また、メモリ機能体として、電界により分極方向が変化するPZT(チタン酸ジルコン酸鉛)、PLZT(ランタン・ドープジルコン酸チタン酸鉛)等の強誘電体膜を用いてもよい。この場合、分極により強誘電体膜の表面に実質的に電荷が発生し、その状態で保持される。従って、メモリ機能を有する膜外から電荷を供給され、電荷をトラップする膜と同様なヒステリシス特性を得ることができ、かつ、強誘電体膜の電荷保持は、膜外からの電荷注入の必要がなく、膜内の電荷の
15 分極のみによってヒステリシス特性を得ることができるため、高速に書込み・消去ができ、好ましい。

なお、メモリ機能体を構成する絶縁膜としては、電荷を逃げにくくする領域又は電荷を逃げにくくする機能を有する膜であることが適当であり、この電荷を逃
20 げにくくする機能を果たすものとしては、シリコン酸化膜等が挙げられる。

メモリ機能体に含まれる電荷保持膜は、直接又は絶縁膜を介してゲート電極の両側に配置しており、また、直接、ゲート絶縁膜を介して半導体層(半導体基板、ウェル領域、ボディ領域又はソース/ドレイン領域もしくは拡散領域)上に配置している。ゲート電極の両側の電荷保持膜は、直接又は絶縁膜を介してゲート電
25 極の側壁の全て又は一部を覆うように形成されていることが好ましい。応用例としては、ゲート電極が下端部に凹部を有する場合には、直接又は絶縁膜を介して凹部を完全に又は凹部の一部を埋め込むように形成されていてもよい。

拡散領域は、ソース/ドレイン領域として機能させることができ、半導体層又はウェル領域と逆導電型を有する。拡散領域と半導体層又はウェル領域との接合

は、不純物濃度が急峻であることが好ましい。ホットエレクトロンやホットホールが低電圧で効率良く発生し、より低電圧で高速な動作が可能となるからである。拡散領域の接合深さは、特に限定されるものではなく、得ようとする半導体記憶装置の性能等に応じて、適宜調整することができる。なお、半導体基板としてS
5 O I 基板を用いる場合には、拡散領域は、表面半導体層の膜厚よりも小さな接合深さを有していてもよいが、表面半導体層の膜厚とほぼ同程度の接合深さを有していることが好ましい。

拡散領域は、ゲート電極端とオーバーラップするように配置していてもよいし、ゲート電極端と一致するように配置していてもよいし、ゲート電極端に対してオフセ
10 ャットされて配置されていてもよい。特に、オフセットされている場合には、ゲート電極に電圧を印加したとき、電荷保持膜下のオフセット領域の反転しやすさが、メモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果の低減をもたらすため、好ましい。ただし、あまりオフ
15 セットしすぎると、拡散領域（ソース／ドレイン）間の駆動電流が著しく小さくなるため、ゲート長方向に対して平行方向の電荷保持膜の厚さよりもオフセット量、つまり、ゲート長方向における一方のゲート電極端から近い方の拡散領域までの距離は短い方が好ましい。特に重要なことは、メモリ機能体中の電荷保持機能を有する膜又は領域の少なくとも一部が、拡散領域の一部とオーバーラップ
20 していることである。本発明の半導体記憶装置を構成するメモリ素子の本質は、メモリ機能体の側壁部にのみ存在するゲート電極と拡散領域間の電圧差により、メモリ機能体を横切る電界によって記憶を書き換えることであるためである。

拡散領域は、その一部が、チャネル領域表面、つまり、ゲート絶縁膜下面よりも高い位置に延設されていてもよい。この場合には、半導体基板内に形成された拡散領域上に、この拡散領域と一体化した導電膜が積層されて構成されている
25 ことが適当である。導電膜としては、例えば、ポリシリコン、アモルファスシリコン等の半導体、シリサイド、上述した金属、高融点金属等が挙げられる。なかでも、ポリシリコンが好ましい。ポリシリコンは、不純物拡散速度が半導体層に比べて非常に大きいために、半導体層内における拡散領域の接合深さを浅くするのが容易で、短チャネル効果の抑制がしやすいためである。なお、この場合には、

この拡散領域の一部は、ゲート電極とともに、メモリ機能体の少なくとも一部を挟持するように配置することが好ましい。

本発明のメモリ素子は、通常の半導体プロセスによって、例えば、ゲート電極の側壁に単層又は積層構造のサイドウォールスペーサを形成する方法と同様の方法によって形成することができる。具体的には、ゲート電極を形成した後、電荷保持機能を有する膜（以下「電荷保持膜」と記す）、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等の電荷保持膜を含む単層膜又は積層膜を形成し、適当な条件下でエッチバックしてこれらの膜をサイドウォールスペーサ状に残す方法；絶縁膜又は電荷保持膜を形成し、適当な条件下でエッチバックしてサイドウォールスペーサ状に残し、さらに電荷保持膜又は絶縁膜を形成し、同様にエッチバックしてサイドウォールスペーサ状に残す方法；粒子状の電荷保持材料を分散させた絶縁膜材料を、ゲート電極を含む半導体層上に塗布または堆積し、適当な条件下でエッチバックして、絶縁膜材料をサイドウォールスペーサ形状に残す方法；ゲート電極を形成した後、前記単層膜又は積層膜を形成し、マスクを用いてパターニングする方法等が挙げられる。また、ゲート電極を形成する前に、電荷保持膜、電荷保持膜／絶縁膜、絶縁膜／電荷保持膜、絶縁膜／電荷保持膜／絶縁膜等を形成し、これらの膜のチャネル領域となる領域に開口を形成し、その上全面にゲート電極材料膜を形成し、このゲート電極材料膜を、開口を含み、開口よりも大きな形状でパターニングする方法等が挙げられる。

このメモリ素子の形成方法の一例を説明する。

まず、公知の手順で、半導体基板上にゲート絶縁膜及びゲート電極を形成する。続いて、上記半導体基板上全面に、膜厚 0.8～20 nm、より好ましくは膜厚 3～10 nm のシリコン酸化膜を、熱酸化法により形成し、又は CVD (Chemical Vapor Deposition) 法により堆積する。次に、上記シリコン酸化膜上全面に、膜厚 2～15 nm、より好ましくは 3～10 nm のシリコン窒化膜を CVD 法により堆積する。更に、上記シリコン窒化膜上全面に、20～70 nm のシリコン酸化膜を CVD 法により堆積する。

続いて、異方性エッチングによりシリコン酸化膜／シリコン窒化膜／シリコン酸化膜をエッチングバックすることにより、記憶に最適なメモリ機能体を、ゲー

ト電極の側壁にサイドウォールスペーサ状に形成する。

その後、上記ゲート電極及びサイドウォールスペーサ状のメモリ機能体をマスクとしてイオン注入することにより、拡散層領域（ソース／ドレイン領域）を形成する。その後、公知の手順でシリサイド工程や上部配線工程を行なえばよい。

5 本発明のメモリ素子を配列してメモリセルアレイを構成した場合、メモリ素子の最良の形態は、例えば、

 (1) 複数のメモリ素子のゲート電極が一体となってワード線の機能を有する、

 (2) 上記ワード線の両側にはメモリ機能体が形成されている、

 (3) メモリ機能体内で電荷を保持するのは絶縁体、特にシリコン窒化膜である、
10

 (4) メモリ機能体はONO (Oxide Nitride Oxide) 膜で構成されており、シリコン窒化膜はゲート絶縁膜の表面と略平行な表面を有している、

 (5) メモリ機能体中のシリコン窒化膜はワード線及びチャネル領域とシリコン酸化膜で隔てられている、

15 (6) メモリ機能体内のシリコン窒化膜と拡散領域とがオーバーラップしている、

 (7) ゲート絶縁膜の表面と略平行な表面を有するシリコン窒化膜とチャネル領域又は半導体層とを隔てる絶縁膜の厚さと、ゲート絶縁膜の厚さが異なる、

 (8) 1 個のメモリ素子の書込み及び消去動作は単一のワード線により行なう、

20 (9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード線）がない、

 (10) メモリ機能体の直下で拡散領域と接する部分に拡散領域の導電型と反対導電型の不純物濃度が濃い領域を有する、

 という要件の全てを満たすものである。ただし、これらの要件の1つでも満たすものであればよい。
25

 上述した要件の特に好ましい組み合わせは、例えば、(3) メモリ機能体内で電荷を保持するのが絶縁体、特にシリコン窒化膜であり、(6) メモリ機能体内の絶縁膜（シリコン窒化膜）と拡散領域とがオーバーラップしており、(9) メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極（ワード

線)がない場合である。

要件(3)及び要件(9)を満たす場合には、以下のように、非常に有用である。まず、ビット線コンタクトをワード線側壁のメモリ機能体と、より接近して配置することができ、又はメモリ素子間の距離が接近しても、複数のメモリ機能
5 体が干渉せず、記憶情報を保持できる。したがって、メモリ素子の微細化が容易となる。なお、メモリ機能体内の電荷保持領域が導電体の場合、容量カップリングによりメモリ素子間が近づくにつれて電荷保持領域間で干渉が起き、記憶情報を保持できなくなる。

また、メモリ機能体内の電荷保持領域が絶縁体(例えば、シリコン窒化膜)である場合、メモリセル毎にメモリ機能体を独立させる必要がなくなる。例えば、
10 複数のメモリセルで共有される1本のワード線の両側に形成されたメモリ機能体は、メモリセル毎に分離する必要が無く、1本のワード線の両側に形成されたメモリ機能体を、ワード線を共有する複数のメモリセルで共有することが可能となる。そのため、メモリ機能体を分離するフォト、エッチング工程が不要となり、
15 製造工程が簡略化される。さらに、フォトリソグラフィ工程の位置合わせマージン、エッチングの膜減りマージンが不要となるため、メモリセル間のマージンを縮小できる。したがって、メモリ機能体内の電荷保持領域が導電体(例えば、多結晶シリコン膜)である場合と比較して、同じ微細加工レベルで形成しても、メモリセル占有面積を微細化することができる。なお、メモリ機能体内の電荷保持
20 領域が導電体である場合、メモリ機能体をメモリセル毎に分離するフォト、エッチング工程が必要となり、フォトの位置合わせマージン、エッチングの膜減りマージンが必要となる。

さらに、メモリ機能体の上には書込み及び消去動作を補助する機能を有する電極がなく素子構造が単純であるから工程数が減少し、歩留まりを向上させること
25 ができる。したがって、論理回路やアナログ回路を構成するトランジスタとの混載を容易にすることができるとともに、安価な半導体記憶装置を得ることができる。

また、要件(3)及び(9)を満たす場合であって、さらに要件(6)を満たす場合には、より有用である。つまり、メモリ機能体内の電荷保持領域と拡散領

域とをオーバーラップさせることにより、非常に低電圧で書込み、消去が可能となる。具体的には、5 V以下という低電圧により、書込み及び消去動作を行なうことができる。この作用は、回路設計上においても非常に大きな効果である。フラッシュメモリのような高電圧をチップ内で作る必要がなくなるため、莫大な占有面積が必要となるチャージポンピング回路を省略又は規模を小さくすることが可能となる。特に、小規模容量のメモリを調整用としてロジックLSIに内蔵する場合、メモリ部の占有面積はメモリセルよりも、メモリセルを駆動する周辺回路の占有面積が支配的となるため、メモリセル用電圧昇圧回路を省略又は規模を小さくすることは、チップサイズを縮小させるためには最も効果的となる。

一方、要件（３）を満たさない場合、つまり、メモリ機能体内で電荷を保持するのが導電体である場合は、要件（６）を満たさない、つまり、メモリ機能体内の導電体と拡散領域がオーバーラップしていない場合でも、書込み動作を行なうことができる。これは、メモリ機能体内の導電体がゲート電極との容量カップリングにより書込み補助を行なうからである。

また、要件（９）を満たさない場合、つまり、メモリ機能体の上に書込み及び消去動作を補助する機能を有する電極がある場合は、要件（６）を満たさない、つまり、メモリ機能体内の絶縁体と拡散領域とがオーバーラップしていない場合でも、書込み動作を行なうことができる。

本発明の半導体記憶装置においては、メモリ素子は、その一方又は両方に、トランジスタが直列に接続していてもよいし、ロジックトランジスタと、同一のチップ上に混載されていてもよい。このような場合には、本発明の半導体装置、特にメモリ素子を、トランジスタ及びロジックトランジスタなどの通常の標準トランジスタの形成プロセスと非常に親和性が高い工程で形成することができるため、同時に形成することができる。したがって、メモリ素子とトランジスタ又はロジックトランジスタとを混載するプロセスは非常に簡便なものとなり、安価な混載装置を得ることができる。

本発明の半導体記憶装置は、メモリ素子が、１つのメモリ機能体に２値又はそれ以上の情報を記憶させることができ、これにより、４値又はそれ以上の情報を記憶するメモリ素子として機能させることができる。なお、メモリ素子は、２値

の情報を記憶させるのみでもよい。また、メモリ素子を、メモリ機能体による可変抵抗効果により、選択トランジスタとメモリトランジスタとの機能を兼ね備えたメモリセルとしても機能させることができる。

本発明の半導体記憶装置は、論理素子又は論理回路等と組み合わせることにより、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント/発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータ又は他のすべての型のコンピュータシステム等のデータ処理システム；CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品；電話、PHS（Personal Handiphone System: パーソナル・ハンディホン・システム）、モデム、ルータ等の通信機器；ディスプレイパネル、プロジェクタ等の画像表示機器；プリンタ、スキャナ、複写機等の事務機器；ビデオカメラ、デジタルカメラ等の撮像機器；ゲーム機、音楽プレーヤ等の娯楽機器；携帯情報端末、時計、電子辞書等の情報機器；カーナビゲーションシステム、カーオーディオ等の車載機器；動画、静止画、音楽等の情報を記録、再生するためのAV（Audio Visual）機器；洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品；マッサージ器、体重計、血圧計等の健康管理機器；ICカード、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型コンピュータ、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレーヤ、ポータブル音楽プレーヤ、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明の半導体記憶装置は、電子機器の制御回路又はデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

以下に、本発明の半導体記憶装置および携帯電子機器の実施の形態を図面に基づいて詳細に説明する。

（第1実施形態）

この実施の形態の半導体記憶装置は、図1に示すような、不揮発性メモリ素子の一例としてのメモリ素子1001を備える。

メモリ素子1001は、半導体基板1101表面に形成されたP型ウェル領域

1102上にゲート絶縁膜1103を介してゲート電極1104が形成されている。ゲート電極1104の上面及び側面には、電荷を保持するトラップ準位を有し、電荷保持膜となるシリコン窒化膜1109が配置されており、シリコン窒化膜1109のなかでゲート電極1104の両側壁部分が、それぞれ実際に電荷を保持するメモリ機能体1105a、1105bとなっている。ここで、メモリ機能体とは、メモリ機能体又は電荷保持膜のうちで書換え動作により実際に電荷が蓄積される部分を指す。ゲート電極1104の両側であってP型ウェル領域1102内に、それぞれソース領域又はドレイン領域として機能するN型の拡散領域1107a、1107bが形成されている。拡散領域1107a、1107bは、オフセット構造を有している。すなわち、拡散領域1107a、1107bはゲート電極下の領域1121には達しておらず、電荷保持膜(シリコン窒化膜1109)下のオフセット領域1120がチャンネル領域の一部を構成している。

なお、実質的に電荷を保持するメモリ機能体1105a、1105bは、ゲート電極1104の両側壁部分である。したがって、この部分に対応する領域にのみ、シリコン窒化膜1109が形成されていればよい(図2A参照)。また、メモリ機能体1105a、1105bは、ナノメートルサイズの導電体又は半導体からなる微粒子1112が絶縁膜1111中に散点状に分布する構造を有していてもよい(図2B参照)。このとき、微粒子1112が1nm未満であると、量子効果が大きすぎるためにドットに電荷がトンネルするのが困難になり、10nmを超えると室温では顕著な量子効果が現れなくなる。したがって、微粒子1112の直径は1nm~10nmの範囲にあることが好ましい。さらに、電荷保持膜となるシリコン窒化膜1109は、ゲート電極の側面においてサイドウォールスペース状に形成されていてもよい(図3参照)。

メモリ素子の書込み動作原理を、図3及び図4を用いて説明する。なお、ここではメモリ機能体1131a、1131b全体が電荷を保持する機能を有する場合について説明する。また、書込みとは、メモリ素子がNチャンネル型である場合にはメモリ機能体1131a、1131bに電子を注入することを指す。以後、メモリ素子はNチャンネル型であるとして説明する。

第2のメモリ機能体1131bに電子を注入する(書込む)ためには、図3に

示すように、N型の第1の拡散領域1107aをソース電極に、N型の第2の拡散領域1107bをドレイン電極とする。例えば、第1の拡散領域1107a及びP型ウェル領域1102に0V、第2の拡散領域1107bに+5V、ゲート電極1104に+5Vを印加する。このような電圧条件によれば、反転層1226が、第1の拡散領域1107a（ソース電極）から伸びるが、第2の拡散領域1107b（ドレイン電極）に達することなく、ピンチオフ点が発生する。電子は、ピンチオフ点から第2の拡散領域1107b（ドレイン電極）まで高電界により加速され、いわゆるホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが第2のメモリ機能体1131bに注入されることにより書込みが行なわれる。なお、第1のメモリ機能体1131a近傍では、ホットエレクトロンが発生しないため、書込みは行なわれない。

一方、第1のメモリ機能体1131aに電子を注入する（書込む）ためには、図4に示すように、第2の拡散領域1107bをソース電極に、第1の拡散領域1107aをドレイン電極とする。例えば、第2の拡散領域1107b及びP型ウェル領域1102に0V、第1の拡散領域1107aに+5V、ゲート電極1104に+5Vを印加する。このように、第2のメモリ機能体1131bに電子を注入する場合とは、ソース／ドレイン領域を入れ替えることにより、第1のメモリ機能体1131aに電子を注入して、書込みを行なうことができる。

次に、メモリ素子の消去動作原理を図5及び図6を用いて説明する。

第1のメモリ機能体1131aに記憶された情報を消去する第1の方法では、図5に示すように、第1の拡散領域1107aに正電圧（例えば、+5V）、P型ウェル領域1102に0Vを印加して、第1の拡散領域1107aとP型ウェル領域1102とのPN接合に逆方向バイアスをかけ、さらにゲート電極1104に負電圧（例えば、-5V）を印加する。このとき、PN接合のうちゲート電極1104付近では、負電圧が印加されたゲート電極の影響により、特にポテンシャルの勾配が急になる。そのため、バンド間トンネルによりPN接合のP型ウェル領域1102側にホットホール（高エネルギーの正孔）が発生する。このホットホールが負の電位をもつゲート電極1104方向に引きこまれ、その結果、第1のメモリ機能体1131aにホール注入が行なわれる。このようにして、第

1のメモリ機能体1131aの消去が行なわれる。このとき第2の拡散領域1107bには0Vを印加すればよい。

第2のメモリ機能体1131bに記憶された情報を消去する場合は、上記において第1の拡散領域と第2の拡散領域との電位を入れ替えればよい。

5 第1のメモリ機能体1131aに記憶された情報を消去する第2の方法では、図6に示すように、第1の拡散領域1107aに正電圧（例えば、+4V）、第2の拡散領域1107bに0V、ゲート電極1104に負電圧（例えば、-4V）、P型ウェル領域1102に正電圧（例えば、+0.8V）を印加する。この際、P型ウェル領域1102と第2の拡散領域1107bとの間に順方向電圧
10 が印加され、P型ウェル領域1102に電子が注入される。注入された電子は、P型ウェル領域1102と第1の拡散領域1107aとのPN接合まで拡散し、そこで強い電界により加速されてホットエレクトロンとなる。このホットエレクトロンは、PN接合において、電子-ホール対を発生させる。すなわち、P型ウェル領域1102と第2の拡散領域1107bとの間に順方向電圧を印加することにより、P型ウェル領域1102に注入された電子がトリガーとなって、反対
15 側に位置するPN接合でホットホールが発生する。PN接合で発生したホットホールは負の電位をもつゲート電極1104方向に引きこまれ、その結果、第1のメモリ機能体1131aに正孔注入が行なわれる。

この方法によれば、P型ウェル領域と第1の拡散領域1107aとのPN接合
20 において、バンド間トンネルによりホットホールが発生するに足りない電圧しか印加されない場合においても、第2の拡散領域1107bから注入された電子は、PN接合で電子-正孔対が発生するトリガーとなり、ホットホールを発生させることができる。したがって、消去動作時の電圧を低下させることができる。特に、オフセット領域1120（図1参照）が存在する場合は、負の電位が印加された
25 ゲート電極によりPN接合が急峻となる効果が少ない。そのため、バンド間トンネルによるホットホールの発生が難しいが、第2の方法はその欠点を補い、低電圧で消去動作を実現することができる。

なお、第1のメモリ機能体1131aに記憶された情報を消去する場合、第1の消去方法では、第1の拡散領域1107aに+5Vを印加しなければならなか

ったが、第2の消去方法では、+4Vで足りた。このように、第2の方法によれば、消去時の電圧を低減することができるので、消費電力が低減され、ホットキャリアによるメモリ素子の劣化を抑制することができる。

また、いずれの消去方法によっても、メモリ素子は過消去が起きにくい。ここで過消去とは、メモリ機能体に蓄積された正孔の量が増大するにつれ、飽和することなく閾値が低下していく現象である。フラッシュメモリを代表とするEEPROM(電氣的消去書込み可能な読み出し専用メモリ)では大きな問題となっており、特に閾値が負になった場合にメモリセルの選択が不可能になるという致命的な動作不良を生じる。一方、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体に大量の正孔が蓄積された場合においても、メモリ機能体下に電子が誘起されるのみで、ゲート絶縁膜下のチャネル領域のポテンシャルにはほとんど影響を与えない。消去時の閾値はゲート絶縁膜下のポテンシャルにより決まるので、過消去が起きにくくなる。

さらに、メモリ素子の読み出し動作原理を、図7を用いて説明する。

第1のメモリ機能体1131aに記憶された情報を読み出す場合、第1の拡散領域1107aをソース電極に、第2の拡散領域1107bをドレイン電極とし、トランジスタを動作させる。例えば、第1の拡散領域1107a及びP型ウェル領域1102に0V、第2の拡散領域1107bに+1.8V、ゲート電極1104に+2Vを印加する。この際、第1のメモリ機能体1131aに電子が蓄積していない場合には、ドレイン電流が流れやすい。一方、第1のメモリ機能体1131aに電子が蓄積している場合は、第1のメモリ機能体1131a近傍で反転層が形成されにくいので、ドレイン電流は流れにくい。したがって、ドレイン電流を検出することにより、第1のメモリ機能体1131aの記憶情報を読み出すことができる。特に、ピンチオフ動作させるような電圧を与えて読み出す場合、第1のメモリ機能体1131aにおける電荷蓄積の状態について、1131bにおける電荷蓄積の有無に影響されることなく、より高精度に判定することが可能となる。

第2のメモリ機能体1131bに記憶された情報を読み出す場合、第2の拡散領域1107bをソース電極に、第1の拡散領域1107aをドレイン電極とし、

トランジスタを動作させる。図示しないが、例えば、第2の拡散領域1107b及びP型ウェル領域1102に0V、第1の拡散領域1107aに+1.8V、ゲート電極1104に+2Vを印加すればよい。このように、第1のメモリ機能体1131aに記憶された情報を読み出す場合とは、ソース/ドレイン領域を入れ替えることにより、第2のメモリ機能体1131bに記憶された情報の読み出しを行なうことができる。

なお、ゲート電極1104で覆われないチャネル領域（オフセット領域1120）が残されている場合、ゲート電極1104で覆われないチャネル領域においては、メモリ機能体1131a、1131bの余剰電荷の有無によって反転層が消失又は形成され、その結果、大きなヒステリシス（閾値の変化）が得られる。ただし、オフセット領域1120の幅があまり大きいと、ドレイン電流が大きく減少し、読み出し速度が大幅に遅くなる。したがって、十分なヒステリシスと読み出し速度が得られるように、オフセット領域1120の幅を決定することが好ましい。

拡散領域1107a、1107bがゲート電極1104端に達している場合、つまり、拡散領域1107a、1107bとゲート電極1104とがオーバーラップしている場合であっても、書込み動作によりトランジスタの閾値はほとんど変わらなかったが、ソース/ドレイン端での寄生抵抗が大きく変わり、ドレイン電流は大きく減少（1桁以上）する。したがって、ドレイン電流の検出により読み出しが可能であり、メモリとしての機能を得ることができる。ただし、より大きなメモリヒステリシス効果を必要とする場合、拡散領域1107a、1107bとゲート電極1104とがオーバーラップしていない（オフセット領域1120が存在する）ほうが好ましい。

以上の動作方法により、1トランジスタ当たり選択的に2ビットの書込み及び消去が可能となる。また、メモリ素子のゲート電極1104にワード線WLを、第1の拡散領域1107aに第1のビット線BL1を、第2の拡散領域1107bに第2のビット線BL2をそれぞれ接続し、メモリ素子を配列することにより、メモリセルアレイを構成することができる。

また、上述した動作方法では、ソース電極とドレイン電極を入れ替えることに

よって1トランジスタ当り2ビットの書込み及び消去をさせているが、ソース電極とドレイン電極とを固定して1ビットメモリとして動作させてもよい。この場合ソース／ドレイン領域の一方を共通固定電圧とすることが可能となり、ソース／ドレイン領域に接続されるビット線の本数を半減することができる。

- 5 以上の説明から明らかなように、本発明の半導体記憶装置におけるメモリ素子では、メモリ機能体がゲート絶縁膜と独立して形成され、ゲート電極の両側に形成されているため、2ビット動作が可能である。また、各メモリ機能体はゲート電極により分離されているので、書換え時の干渉が効果的に抑制される。さらに、ゲート絶縁膜は、メモリ機能体とは分離されているので、薄膜化して短チャネル
- 10 効果を抑制することができる。したがってメモリ素子、ひいては半導体記憶装置の微細化が容易となる。

また、図面の記載において、同一の材料及び物質を用いている部分においては、同一の符号を付しており、必ずしも同一の形状を示すものではない。

- 15 また、図面は模式的なものであり、厚みと平面寸法の関係、各層や各部の厚みや大きさの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや大きさの寸法は、以下の説明を斟酌して判断すべきものである。また図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

- 20 また、本特許に記載の各層や各部の厚みや大きさは、特に説明がない場合は、半導体装置の形成を完了した段階での最終形状の寸法である。よって、膜や不純物領域等を形成した直後の寸法と比較して最終形状の寸法は、後の工程の熱履歴等によって多少変化することに留意すべきである。

(第2実施形態)

- 25 この実施の形態の半導体記憶装置におけるメモリ素子は、図8に示すように、メモリ機能体1261、1262が電荷を保持する領域（電荷を蓄える領域であって、電荷を保持する機能を有する膜であってもよい）と、電荷を逃げにくくする領域（電荷を逃げにくくする機能を有する膜であってもよい）とから構成される以外は、図1のメモリ素子1001と実質的に同様の構成である。

メモリ機能体は、メモリの保持特性を向上させる観点から、電荷を保持する機

能を有する電荷保持膜と絶縁膜とを含んでいるのが好ましい。この実施の形態では、電荷保持膜として電荷をトラップする準位を有するシリコン窒化膜 1 2 4 2、絶縁膜として電荷保持膜に蓄積された電荷の散逸を防ぐ働きのあるシリコン酸化膜 1 2 4 1、1 2 4 3 を用いている。メモリ機能体が電荷保持膜と絶縁膜とを含むことにより電荷の散逸を防いで保持特性を向上させることができる。また、メモリ機能体が電荷保持膜のみで構成される場合に比べて電荷保持膜の体積を適度に小さくすることができ、電荷保持膜内での電荷の移動を制限して、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。さらに、シリコン窒化膜 1 2 4 2 がシリコン酸化膜 1 2 4 1、1 2 4 3 で挟まれた構造とすることにより、書換え動作時の電荷注入効率が高くなり、より高速な動作が可能となる。なお、このメモリ素子においては、シリコン窒化膜 1 2 4 2 を強誘電体で置き換えてもよい。

また、メモリ機能体 1 2 6 1、1 2 6 2 における電荷を保持する領域（シリコン窒化膜 1 2 4 2）は、拡散領域 1 2 1 2、1 2 1 3 とそれぞれオーバーラップしている。ここで、オーバーラップするとは、拡散領域 1 2 1 2、1 2 1 3 の少なくとも一部の領域上に、電荷を保持する領域（シリコン窒化膜 1 2 4 2）の少なくとも一部が存在することを意味する。なお、1 2 1 1 は半導体基板、1 2 1 4 はゲート絶縁膜、1 2 7 1 はゲート電極 1 2 1 7 と拡散領域 1 2 1 2、1 2 1 3 とのオフセット領域である。図示しないが、ゲート絶縁膜 1 2 1 4 下であって半導体基板 1 2 1 1 の最表面はチャネル領域となる。

メモリ機能体 1 2 6 1、1 2 6 2 における電荷を保持する領域であるシリコン窒化膜 1 2 4 2 と拡散領域 1 2 1 2、1 2 1 3 とがオーバーラップすることによる効果を説明する。

図 9 に示したように、メモリ機能体 1 2 6 2 周辺部において、ゲート電極 1 2 1 7 と拡散領域 1 2 1 3 とのオフセット量を $W1$ とし、ゲート電極 1 2 1 7 のチャネル長方向の切断面におけるメモリ機能体 1 2 6 2 の幅を $W2$ とすると、メモリ機能体 1 2 6 2 と拡散領域 1 2 1 3 とのオーバーラップ量は、 $W2 - W1$ で表される。ここで重要なことは、メモリ機能体 1 2 6 2 のうちシリコン窒化膜 1 2 4 2 で構成されたメモリ機能体 1 2 6 2 が、拡散領域 1 2 1 3 とオーバーラップ

する、つまり、 $W2 > W1$ なる関係を満たすことである。

図9では、メモリ機能体1262のうち、シリコン窒化膜1242のゲート電極1217と離れた側の端が、ゲート電極1217から離れた側のメモリ機能体1262の端と一致しているため、メモリ機能体1262の幅を $W2$ として定義した。

なお、図10に示すように、メモリ機能体1262aのうちシリコン窒化膜1242aのゲート電極1217aと離れた側の端が、ゲート電極1217aから離れた側のメモリ機能体1262aの端と一致していない場合は、 $W2$ をゲート電極端からシリコン窒化膜1242aのゲート電極1217aと遠い側の端までと定義すればよい。

図11は、図9のメモリ素子の構造において、メモリ機能体1262の幅 $W2$ を100nmに固定し、オフセット量 $W1$ を変化させたときのドレイン電流 I_d を示している。ここで、ドレイン電流は、メモリ機能体1262を消去状態（ホールが蓄積されている）とし、拡散領域1212、1213をそれぞれソース電極、ドレイン電極として、デバイスシミュレーションにより求めた。図11から明らかなように、 $W1$ が100nm以上（すなわち、シリコン窒化膜1242と拡散領域1213とがオーバーラップしない）では、ドレイン電流が急速に減少している。ドレイン電流値は、読み出し動作速度にほぼ比例するので、 $W1$ が100nm以上ではメモリの性能は急速に劣化する。一方、シリコン窒化膜1242と拡散領域1213とがオーバーラップする範囲においては、ドレイン電流の減少は緩やかである。したがって、量産製造においてばらつきも考慮した場合、電荷を保持する機能を有する膜であるシリコン窒化膜1242の少なくとも一部とソース／ドレイン領域とがオーバーラップしなければ、事実上メモリ機能を得ることが困難である。

上述したデバイスシミュレーションの結果を踏まえて、 $W2$ を100nm固定とし、 $W1$ を設計値として60nm及び100nmとして、メモリセルアレイを作製した。 $W1$ が60nmの場合、シリコン窒化膜1242と拡散領域1212、1213とは設計値として40nmオーバーラップし、 $W1$ が100nmの場合、設計値としてオーバーラップしない。これらのメモリセルアレイの読み出し時間

を測定した結果、ばらつきを考慮したワーストケースで比較して、W1を設計値として60nmとした場合の方が、読み出しアクセス時間で100倍高速であった。実用上、読み出しアクセス時間は1ビットあたり100ナノ秒以下であることが好ましいが、W1=W2では、この条件を到底達成できない。また、製造ばらつきまで考慮した場合、 $(W2 - W1) > 10\text{nm}$ であることがより好ましい。

メモリ機能体1261（領域1281）に記憶された情報の読み出しは、第1実施形態と同様に、拡散領域1212をソース電極とし、拡散領域1213をドレイン領域としてチャネル領域中のドレイン領域に近い側にピンチオフ点を形成するのが好ましい。すなわち、2つのメモリ機能体のうち一方に記憶された情報を読み出す時に、ピンチオフ点をチャネル領域内であって、他方のメモリ機能体に近い領域に形成させるのが好ましい。これにより、メモリ機能体1262の記憶状況の如何にかかわらず、メモリ機能体1261の記憶情報を感度よく検出することができ、2ビット動作を可能にする大きな要因となる。

一方、2つのメモリ機能体の片側のみに情報を記憶させる場合又は2つのメモリ機能体を同じ記憶状態にして使用する場合には、読み出し時に必ずしもピンチオフ点を形成しなくてもよい。

なお、図8には図示していないが、半導体基板1211の表面にウェル領域（Nチャネル素子の場合はP型ウェル）を形成することが好ましい。ウェル領域を形成することにより、チャネル領域の不純物濃度をメモリ動作（書換え動作及び読み出し動作）に最適にしつつ、その他の電気特性（耐圧、接合容量、短チャネル効果）を制御するのが容易になる。

また、メモリ機能体は、ゲート絶縁膜表面と略平行に配置される電荷保持膜を含むことが好ましい。いいかえると、メモリ機能体における電荷保持膜の上面が、ゲート絶縁膜上面から等しい距離に位置するように配置されることが好ましい。具体的には、図12に示したように、メモリ機能体1262の電荷保持膜であるシリコン窒化膜1242aが、ゲート絶縁膜1214表面と略平行な面を有している。言い換えると、シリコン窒化膜1242aは、ゲート絶縁膜1214表面に対応する高さから、均一な高さに形成されることが好ましい。

メモリ機能体1262中に、ゲート絶縁膜1214表面と略平行なシリコン窒

化膜 1 2 4 2 a があることにより、シリコン窒化膜 1 2 4 2 a に蓄積された電荷の多寡によりオフセット領域 1 2 7 1 での反転層の形成されやすさを効果的に制御することができ、ひいてはメモリ効果を大きくすることができる。また、シリコン窒化膜 1 2 4 2 a をゲート絶縁膜 1 2 1 4 の表面と略平行とすることにより、
5 オフセット量 (W 1) がばらついた場合でもメモリ効果の変化を比較的小さく保つことができ、メモリ効果のばらつきを抑制することができる。しかも、シリコン窒化膜 1 2 4 2 a 上部方向への電荷の移動が抑制され、記憶保持中に電荷移動による特性変化が起こるのを抑制することができる。

さらに、メモリ機能体 1 2 6 2 は、ゲート絶縁膜 1 2 1 4 の表面と略平行なシリコン窒化膜 1 2 4 2 a とチャネル領域 (又はウェル領域) とを隔てる絶縁膜
10 (例えば、シリコン酸化膜 1 2 4 4 のうちオフセット領域 1 2 7 1 上の部分) を含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性の良いメモリ素子を得ることができる。

なお、シリコン窒化膜 1 2 4 2 a の膜厚を制御すると共に、シリコン窒化膜 1
15 2 4 2 a 下の絶縁膜 (シリコン酸化膜 1 2 4 4 のうちオフセット領域 1 2 7 1 上の部分) の膜厚を一定に制御することにより、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を概ね一定に保つことが可能となる。つまり、半導体基板表面から電荷保持膜中に蓄えられる電荷までの距離を、シリコン窒化膜 1
20 2 4 2 a 下の絶縁膜の最小膜厚値から、シリコン窒化膜 1 2 4 2 a 下の絶縁膜の最大膜厚値とシリコン窒化膜 1 2 4 2 a の最大膜厚値との和までの間に制御することができる。これにより、シリコン窒化膜 1 2 4 2 a に蓄えられた電荷により発生する電気力線の密度を概ね制御することが可能となり、メモリ素子のメモリ効果の大きさをばらつきを非常に小さくすることが可能となる。

(第 3 実施形態)

25 この実施の形態の半導体記憶装置におけるメモリ機能体 1 2 6 2 は、電荷保持膜であるシリコン窒化膜 1 2 4 2 が、図 1 3 に示すように、略均一な膜厚で、ゲート絶縁膜 1 2 1 4 の表面と略平行に配置され (領域 1 2 8 1) 、さらに、ゲート電極 1 2 1 7 側面と略平行に配置された (領域 1 2 8 2) 形状を有している。

ゲート電極 1 2 1 7 に正電圧が印加された場合には、メモリ機能体 1 2 6 2 中

での電気力線は矢印 1 2 8 3 で示すように、シリコン窒化膜 1 2 4 2 を 2 回（領域 1 2 8 2 及び領域 1 2 8 1 部分）通過する。なお、ゲート電極 1 2 1 7 に負電圧が印加された時は電気力線の向きは反対側となる。ここで、シリコン窒化膜 1 2 4 2 の比誘電率は約 6 であり、シリコン酸化膜 1 2 4 1、1 2 4 3 の比誘電率は約 4 である。したがって、電荷保持膜の領域 1 2 8 1 のみが存在する場合よりも、電気力線（矢印 1 2 8 3）方向におけるメモリ機能体 1 2 6 2 の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。すなわち、ゲート電極 1 2 1 7 に印加された電圧の多くの部分が、オフセット領域 1 2 7 1 における電界を強くするために使われることになる。

10 書換え動作時に電荷がシリコン窒化膜 1 2 4 2 に注入されるのは、発生した電荷がオフセット領域 1 2 7 1 における電界により引き込まれるためである。したがって、シリコン窒化膜 1 2 4 2 が領域 1 2 8 2 を含むことにより、書換え動作時にメモリ機能体 1 2 6 2 に注入される電荷が増加し、書換え速度が増大する。

15 なお、シリコン酸化膜 1 2 4 3 の部分もシリコン窒化膜であった場合、つまり、電荷保持膜がゲート絶縁膜 1 2 1 4 の表面に対応する高さに対して均一でない場合、シリコン窒化膜の上方向への電荷の移動が顕著になって、保持特性が悪化する。

 電荷保持膜は、シリコン窒化膜に代えて、比誘電率が非常に大きい酸化ハフニウムなどの高誘電体により形成されることがより好ましい。

20 さらに、メモリ機能体は、ゲート絶縁膜表面と略平行な電荷保持膜とチャネル領域（またはウェル領域）とを隔てる絶縁膜（シリコン酸化膜 1 2 4 1 のうちオフセット領域 1 2 7 1 上の部分）をさらに含むことが好ましい。この絶縁膜により、電荷保持膜に蓄積された電荷の散逸が抑制され、さらに保持特性を向上させることができる。

25 また、メモリ機能体は、ゲート電極と、ゲート電極側面と略平行な向きに延びた電荷保持膜とを隔てる絶縁膜（シリコン酸化膜 1 2 4 1 のうちゲート電極 1 2 1 7 に接した部分）をさらに含むことが好ましい。この絶縁膜により、ゲート電極から電荷保持膜へ電荷が注入されて電気的特性が変化することを防止し、メモリ素子の信頼性を向上させることができる。

さらに、第2実施形態と同様に、シリコン窒化膜1242下の絶縁膜（シリコン酸化膜1241のうちオフセット領域1271上の部分）の膜厚を一定に制御すること、さらにゲート電極側面上に配置する絶縁膜（シリコン酸化膜1241のうちゲート電極1217に接した部分）の膜厚を一定に制御することが好ましい。これにより、シリコン窒化膜1242に蓄えられた電荷により発生する電気力線の密度を概ね制御することができるとともに、電荷リークを防止することができる。

（第4実施形態）

この実施の形態では、半導体記憶装置におけるメモリ素子のゲート電極、メモリ機能体及びソース／ドレイン領域間距離の最適化について説明する。

図14に示したように、Aはチャネル長方向の切断面におけるゲート電極長、Bはソース／ドレイン領域間の距離（チャネル長）、Cは一方のメモリ機能体の端から他方のメモリ機能体の端までの距離、つまり、チャネル長方向の切断面における一方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）から他方のメモリ機能体内の電荷を保持する機能を有する膜の端（ゲート電極と離れている側）までの距離を示す。

このようなメモリ素子では、 $A < B$ であることが好ましい。このような関係を満たすことにより、チャネル領域のうちゲート電極1217下の部分と拡散領域1212、1213との間にはオフセット領域1271が存在することとなる。これにより、メモリ機能体1261、1262（シリコン窒化膜1242）に蓄積された電荷により、オフセット領域1271の全領域において、反転の容易性が効果的に変動する。したがって、メモリ効果が増大し、特に読み出し動作の高速化が実現する。

また、ゲート電極1217と拡散領域1212、1213がオフセットしている場合、つまり、 $A < B$ が成立する場合には、ゲート電極に電圧を印加したときのオフセット領域の反転のしやすさがメモリ機能体に蓄積された電荷量によって大きく変化し、メモリ効果が増大するとともに、短チャネル効果を低減することができる。

ただし、メモリ効果が発現する限りにおいては、必ずしもオフセット領域12

71が存在しなくてもよい。オフセット領域1271が存在しない場合においても、拡散領域1212、1213の不純物濃度が十分に薄ければ、メモリ機能体1261、1262（シリコン窒化膜1242）においてメモリ効果が発現し得る。

- 5 また、図11で既に述べたように、シリコン窒化膜1242aの少なくとも一部とソース/ドレイン領域1212、1213がオーバーラップしなければ、事実上メモリ機能を得ることが困難であるから、 $B < C$ であることが好ましい。

このようなことから、 $A < B < C$ であるのが最も好ましい。

（第5実施形態）

- 10 この実施の形態における半導体記憶装置のメモリ素子は、図15に示すように、第2実施形態における半導体基板をSOI基板とする以外は、実質的に同様の構成を有する。

このメモリ素子は、半導体基板1286上に埋め込み酸化膜1288が形成され、さらにその上にSOI層が形成されている。SOI層内には拡散領域1212、1213が形成され、それ以外の領域はボディ領域1287となっている。

- 15 このメモリ素子によっても、第2実施形態のメモリ素子と同様の作用効果を奏する。さらに、拡散領域1212、1213とボディ領域1287との接合容量を著しく小さくすることができるので、素子の高速化や低消費電力化が可能となる。

- 20 （第6実施形態）

この実施の形態の半導体記憶装置におけるメモリ素子は、図16に示すように、N型の拡散領域1212、1213のチャネル側に隣接して、P型高濃度領域1291を追加した以外は、第2実施形態のメモリ素子と実質的に同様の構成を有する。

- 25 すなわち、P型高濃度領域1291におけるP型を与える不純物（例えばボロン）濃度が、領域1292におけるP型を与える不純物濃度より高い。P型高濃度領域1291におけるP型の不純物濃度は、例えば、 $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度が適当である。また、領域1292のP型の不純物濃度は、例えば、 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることができる。

このように、P型高濃度領域1291を設けることにより、拡散領域1212、1213と半導体基板1211との接合が、メモリ機能体1261、1262の直下で急峻となる。そのため、書込み及び消去動作時にホットキャリアが発生し易くなり、書込み動作及び消去動作の電圧を低下させ、あるいは書込み動作及び消去動作を高速にすることが可能となる。さらに、領域1292の不純物濃度は比較的薄いので、メモリが消去状態にあるときの閾値が低く、ドレイン電流は大きくなる。そのため、読み出し速度が向上する。したがって、書換え電圧が低く又は書換え速度が高速で、かつ、読み出し速度が高速なメモリ素子を得ることができる。

また、図16において、ソース/ドレイン領域近傍であってメモリ機能体の下（すなわち、ゲート電極の直下ではない）において、P型高濃度領域1291を設けることにより、トランジスタ全体としての閾値は著しく上昇する。この上昇の程度は、P型高濃度領域1291がゲート電極の直下にある場合に比べて著しく大きい。メモリ機能体に書込み電荷（トランジスタがNチャネル型の場合は電子）が蓄積した場合は、この差がいっそう大きくなる。一方、メモリ機能体に十分な消去電荷（トランジスタがNチャネル型の場合は正孔）が蓄積された場合は、トランジスタ全体としての閾値は、ゲート電極下のチャネル領域（領域1292）の不純物濃度で決まる閾値まで低下する。すなわち、消去時の閾値は、P型高濃度領域1291の不純物濃度には依存せず、一方で、書込み時の閾値は非常に大きな影響を受ける。よって、P型高濃度領域1291をメモリ機能体の下であってソース/ドレイン領域近傍に配置することにより、書込み時の閾値のみが非常に大きく変動し、メモリ効果（書込み時と消去時での閾値の差）を著しく増大させることができる。

（第7実施形態）

この実施の形態の半導体記憶装置におけるメモリ素子は、図17に示すように、電荷保持膜（シリコン窒化膜1242）とチャネル領域又はウェル領域1211とを隔てる絶縁膜1241の厚さ（T1）が、ゲート絶縁膜1214の厚さ（T2）よりも薄いこと以外は、第2実施形態と実質的に同様の構成を有する。

上記ゲート絶縁膜1214は、メモリの書換え動作時における耐圧の要請から、

その厚さT2には下限値が存在する。しかし、上記絶縁膜1241の厚さT1は、耐圧の要請にかかわらず、T2よりも薄くすることが可能である。

このメモリ素子において、上述のようにT1に対する設計の自由度が高いのは以下の理由による。

- 5 つまり、このメモリ素子においては、上記電荷保持膜(シリコン窒化膜1242)と、チャネル領域又はウェル領域1211とを隔てる絶縁膜1241は、ゲート電極1217と、チャネル領域又はウェル領域1211とに挟まれていない。そのため、上記電荷保持膜(シリコン窒化膜1242)と、チャネル領域又はウェル領域1211とを隔てる上記絶縁膜1241には、ゲート電極1217と、チャネル領域又はウェル領域1211間に働く高電界が直接作用せず、ゲート電極1217から横方向に広がる比較的弱い電界が作用する。そのため、上記絶縁膜1241に対する耐圧の要請にかかわらず、T1をT2より薄くすることが可能になる。T1を薄くすることにより、メモリ機能体1261、1262への電荷の注入が容易になり、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にすることが可能となり、また、シリコン窒化膜1242に電荷が蓄積された時にチャネル領域又はウェル領域1211に誘起される電荷量が増えるため、メモリ効果を増大させることができる。
- 10
15

- ところで、メモリ機能体中での電気力線は、図13の矢印1284で示すように、シリコン窒化膜1242を通過しない短いものもある。このような短い電気力線上では比較的電界強度が大きいので、この電気力線に沿った電界は書換え動作時においては大きな役割を果たしている。T1を薄くすることによりシリコン窒化膜1242が図の下側に移動し、矢印1284で示す電気力線がシリコン窒化膜を通過するようになる。それゆえ、矢印1284方向の電気力線に沿ったメモリ機能体中の実効的な比誘電率が大きくなり、電気力線の両端での電位差をより小さくすることができる。したがって、ゲート電極1217に印加された電圧の多くの部分が、オフセット領域における電界を強くするために使われ、書込み動作及び消去動作が高速になる。
- 20
25

これに対して、例えば、フラッシュメモリに代表されるEEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜は、

ゲート電極（コントロールゲート）とチャネル領域又はウェル領域に挟まれているので、ゲート電極からの高電界が直接作用する。それゆえ、EEPROMにおいては、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さが制限され、メモリ素子の機能の最適化が阻害される。

- 5 以上より明らかなように、 $T_1 < T_2$ とすることにより、メモリの耐圧性能を低下させることなく、書込み動作及び消去動作の電圧を低下させ、又は書込み動作及び消去動作を高速にし、さらにメモリ効果を増大することが可能となる。なお、絶縁膜の厚さ T_1 は、製造プロセスによる均一性や膜質が一定の水準を維持することが可能であり、かつ保持特性が極端に劣化しない限界となる 0.8 nm
- 10 以上であることがより好ましい。

- 具体的には、デザインルールの大きな高耐圧が必要とされる液晶ドライバLSIのような場合、液晶パネルTFT（薄膜トランジスタ）を駆動するために、最大 $15\sim 18\text{ V}$ の電圧が必要となる。このため、通常、ゲート酸化膜を薄膜化することができない。液晶ドライバLSIに画像調整用として本発明の不揮発性メモリを混載する場合、本発明のメモリ素子ではゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜 1242 ）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できる。例えば、ゲート電極長（ワード線幅） 250 nm のメモリセルに対して、 $T_1 = 20\text{ nm}$ 、 $T_2 = 10\text{ nm}$ で個別に設定でき、書込み効率の良いメモリセルを実現できる。（ T_1 が通常のロジックトランジスタ
- 15 よりも厚くても短チャネル効果が発生しない理由はゲート電極に対して、ソース・ドレイン領域がオフセットしているためである）。
- 20 （第8実施形態）

- この実施の形態の半導体記憶装置におけるメモリ素子は、図18に示すように、電荷保持膜（シリコン窒化膜 1242 ）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さ（ T_1 ）が、ゲート絶縁膜の厚さ（ T_2 ）よりも厚いこと以外は、
- 25 第2実施形態と実質的に同様の構成を有する。

 ゲート絶縁膜 1214 は、素子の短チャネル効果防止の要請から、その厚さ T_2 には上限値が存在する。しかし、絶縁膜の厚さ T_1 は、短チャネル効果防止の要請にかかわらず、 T_2 よりも厚くすることが可能である。すなわち、微細化スケ

ーリングが進んだとき（ゲート絶縁膜の薄膜化が進行したとき）にゲート絶縁膜厚とは独立して電荷保持膜（シリコン窒化膜 1 2 4 2）とチャネル領域又はウェル領域とを隔てる絶縁膜の厚さを最適に設計できるため、メモリ機能体がスケーリングの障害にならないという効果を奏する。

5 このメモリ素子において、上述のように T 1 に対する設計の自由度が高い理由は、既に述べた通り、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜が、ゲート電極とチャネル領域又はウェル領域とに挟まれていないことによる。そのため、ゲート絶縁膜に対する短チャネル効果防止の要請にかかわらず、T 1 を T 2 より厚くすることが可能になる。

10 T 1 を厚くすることにより、メモリ機能体に蓄積された電荷が散逸するのを防ぎ、メモリの保持特性を改善することが可能となる。

したがって、 $T 1 > T 2$ とすることにより、メモリの短チャネル効果を悪化させることなく保持特性を改善することが可能となる。

15 なお、絶縁膜の厚さ T 1 は、書換え速度の低下を考慮して、20 nm 以下であることが好ましい。

具体的には、フラッシュメモリに代表される従来の不揮発性メモリは、選択ゲート電極が書込み消去ゲート電極を構成し、上記書込み消去ゲート電極に対応するゲート絶縁膜（フローティングゲートを内包する）が電荷蓄積膜を兼用している。このため、微細化（短チャネル効果抑制のため薄膜化が必須）の要求と、信頼性確保（保持電荷のリーク抑制のため、フローティングゲートとチャネル領域又はウェル領域とを隔てる絶縁膜の厚さは 7 nm 程度以下には薄膜化できない）の要求が相反するため、微細化が困難となる。実際、I T R S（International Technology Roadmap for Semiconductors）によれば、物理ゲート長の微細化は 0.2 ミクロン程度以下に対して目処が立っていない。このメモリ素子では、上述したように T 1 と T 2 を個別に設計できることにより、微細化が可能となる。

25 例えば、ゲート電極長（ワード線幅）45 nm のメモリセルに対して、 $T 2 = 4$ nm、 $T 1 = 7$ nm で個別に設定し、短チャネル効果の発生しないメモリ素子を実現することができる。T 2 を通常のロジックトランジスタよりも厚く設定しても短チャネル効果が発生しない理由は、ゲート電極に対して、ソース／ドレイ

ン領域がオフセットしているためである。

また、このメモリ素子は、ゲート電極に対して、ソース／ドレイン領域がオフセットしているため、通常のロジックトランジスタと比較してもさらに微細化を容易にする。

- 5 つまり、メモリ機能体の上部に書込み、消去を補助する電極が存在しないため、電荷保持膜とチャネル領域又はウェル領域とを隔てる絶縁膜には、書込み、消去を補助する電極とチャネル領域又はウェル領域間に働く高電界が直接作用せず、ゲート電極から横方向に広がる比較的弱い電界が作用するのみである。そのため、同じ加工精度に対してロジックトランジスタのゲート長と同程度以上に微細化されたゲート長を保有するメモリ素子を実現することができる。

(第9実施形態)

この実施の形態は、半導体記憶装置のメモリ素子の書換えを行ったときの電気特性の変化に関する。

- 15 Nチャネル型メモリ素子において、メモリ機能体中の電荷量が増加したとき、図19に示すような、ドレイン電流 (I_d) 対ゲート電圧 (V_g) 特性 (実測値) を示す。

- 20 図19から明らかなように、消去状態 (実線) から書込み動作を行った場合、単純に閾値が上昇するのみならず、特にサブスレッショルド領域においてグラフの傾きが顕著に減少している。そのため、ゲート電圧 (V_g) が比較的高い領域においても、消去状態と書込み状態でのドレイン電流比が大きくなる。例えば、 $V_g = 2.5 \text{ V}$ においても、電流比は2桁以上を保っている。この特性は、フラッシュメモリの場合 (図29) と大きく異なる。

- 25 このような特性の出現は、ゲート電極と拡散領域とがオフセットし、ゲート電界がオフセット領域に及びにくいために起こる特有な現象である。メモリ素子が書込み状態にあるときには、ゲート電極に正電圧を加えてもメモリ機能体下のオフセット領域には反転層が極めてできにくい状態になっている。これが、書込み状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが小さくなる原因となっている。

一方、メモリ素子が消去状態にあるときには、オフセット領域には高密度の電

子が誘起されている。さらに、ゲート電極に 0 V が印加されているとき（すなわちオフ状態にあるとき）は、ゲート電極下のチャネルには電子が誘起されない（そのためオフ電流が小さい）。これが、消去状態においてサブスレッショルド領域での $I_d - V_g$ 曲線の傾きが大きく、かつ閾値以上の領域でも電流の増加率（コンダクタンス）が大きい原因となっている。

以上のことから明らかなように、本発明の半導体記憶素子を構成するメモリ素子は、書込み時と消去時のドレイン電流比を特に大きくすることができる。

（第 10 実施形態）

この第 10 実施形態では、上記第 1 ～ 第 8 実施形態のメモリ素子をメモリセルとして用いたメモリセルアレイを備えた半導体記憶装置について説明する。

図 20 は図 1 に示すメモリ素子をメモリセルとして用いたメモリセルアレイを備えた本発明の第 10 実施形態の半導体記憶装置のブロック図を示している。この半導体記憶装置は、図 20 に示すように、メモリセルアレイ 21 と、正極性電源選択回路 22 と、電圧極性反転回路 26 とを備えている。

上記正極性電源選択回路 22 は、メモリセルアレイ 21 に外部から供給される入力電圧（正電圧）が入力端子に印加され、出力端子がメモリセルアレイ 21 の入力端子に接続された第 1 のスイッチ SW1 と、上記入力電圧が入力端子に印加された第 2 のスイッチ SW2 と、上記第 2 のスイッチ SW2 の出力端子にポンプ入力端子が接続されたチャージポンプ 23 と、上記チャージポンプ 23 のポンプ出力端子に出力端子が接続され、出力端子がメモリセルアレイ 21 の入力端子に接続された第 3 のスイッチ SW3 と、上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路 24 と、上記第 1, 第 2, 第 3 のスイッチ SW1, SW2, SW3 をオンオフ制御する制御回路 25 とを備えている。上記所定電圧としては、例えばメモリセルアレイ 21 の動作が保証される動作電圧とする。

上記制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧を超えたと判定すると、第 1 のスイッチ SW1 をオンして第 2, 第 3 のスイッチ SW2, SW3 をオフすることにより、メモリセルアレイ 21 に第 1 のスイッチ SW1 を介して外部からの入力電圧を供給する。

一方、上記制御回路 25 は、入力電圧判定回路 24 が入力電圧が所定電圧以下

であると判定すると、第1のスイッチSW1をオフして第2,第3のスイッチSW2, SW3をオンすることにより、チャージポンプ23から電圧レベルが正確な電圧がメモリセルアレイ21に供給される。

上記第10実施形態では、消去時にゲート電極に負電圧を印加するとき、外部から電圧を供給しなくとも消去に十分な電流が供給される場合を想定している。すなわち、この第10実施形態では、負電圧を生成するために電圧極性反転回路26を用いている。上記第1のスイッチSW1の出力端子に入力端子が接続された電圧極性反転回路26により、その入力端子に入力された電圧の極性を反転させてメモリセルアレイ21に出力する。この電圧極性反転回路26では、電圧の絶対値は変わらず、極性だけ反転する。

例えば、消去時、ソース/ドレイン電極に6VおよびGNDがそれぞれ印加されている場合、ゲート電極に-6Vが印加される。図5では、消去時のゲート電圧を-5Vとしているが、ゲート電極に-6Vを印加する場合、-5Vを印加するよりもゲート/ソース電圧、ゲート/ドレイン電圧ともに大きくなるため、消去動作が確実に行われる。

上記第10実施形態では、回路を簡略化するため、電圧の絶対値は変わらず、電圧の極性だけを反転する電圧極性判定回路を採用したが、必ずしもこれに限る必要はなく、極性を判定させた電圧の絶対値が変わってもよい。

図21は上記第1,第2,第3のスイッチSW1, SW2, SW3の一例としてのスイッチ回路を示している。

このスイッチ回路は、図21に示すように、ソースに入力電圧 V_{in} が印加される第1のPチャネル電界効果トランジスタ31と、上記第1のPチャネル電界効果トランジスタ31のドレインにドレインが接続され、ソースが出力端子を形成する第2のPチャネル電界効果トランジスタ32と、制御信号に応じて第1のPチャネル電界効果トランジスタ31のゲートをソースまたはグランド(接地)のいずれか一方に選択的に接続する第1の電圧レベルシフタ33と、制御信号に応じて第2のPチャネル電界効果トランジスタ32のゲートをソースまたはグランド(接地)のいずれか一方に選択的に接続する第2の電圧レベルシフタ34とを有している。

このスイッチ回路をオンするときは、第1の電圧レベルシフタ33により第1のPチャネル電界効果トランジスタ31のゲートをグラウンドに接続し、第2の電圧レベルシフタ34により第2のPチャネル電界効果トランジスタ32のゲートをグラウンドに接続する。一方、このスイッチ回路をオフするときは、第1の電圧レベルシフタ33により第1のPチャネル電界効果トランジスタ31のゲートを
5 ソース(入力端)に接続し、第2の電圧レベルシフタ34により第2のPチャネル電界効果トランジスタ32のゲートをソース(出力端)に接続する。

なお、この第10実施形態では、必ずしも図21に示すスイッチ回路を使用することに限るものではなく、他の構成のスイッチ回路を用いてもよい。

図22は図20に示すチャージポンプ23の一例を示している。このチャージポンプは、図22に示すように、一端に入力電圧 V_{in} が印加されたトランジスタ41と、そのトランジスタ41のゲートに一端が接続されたトランジスタ42と、そのトランジスタ42のゲートに一端が接続されたトランジスタ43と、上記トランジスタ41の他端にゲートが接続され、一端に入力電圧 V_{in} が印加されたトランジスタ44と、上記トランジスタ44の他端に一端が接続され、ゲートに上記トランジスタ42の他端が接続されたトランジスタ45と、上記トランジスタ45の他端に一端が接続され、ゲートがトランジスタ43の他端に接続されたトランジスタ46と、上記トランジスタ46の他端に一端が接続され、その一端にゲートが接続されたトランジスタ47と、上記トランジスタ44のゲートに一端
20 が接続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサC11と、上記トランジスタ45のゲートに一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサC12と、上記トランジスタ46のゲートに一端が接続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサC13と、上記トランジスタ44の他端に一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサC21と、上記トランジスタ45の他端に一端が接続され、他端にクロック信号 $\phi 1$ が印加されたコンデンサC22と、上記トランジスタ46の他端に一端が接続され、他端にクロック信号 $\phi 2$ が印加されたコンデンサC23を備えている。上記トランジスタ42の一端とトランジスタ44の他端を接続している。また、上記トランジスタ43の一端とトランジスタ45の他端を接続し、トランジスタ43のゲートをトラ
25

ンジスタ 4 6 の他端に接続している。上記トランジスタ 4 7 の他端から出力電圧 V_{out} を出力する。

上記構成のチャージポンプは、位相の異なる 2 相のクロック信号 $\phi 1$, $\phi 2$ によって、トランジスタ 4 1 ~ 4 6 を動作させて、コンデンサ C 21, C 22, C 23 に順次
5 大きな電荷を蓄積させることにより、トランジスタ 4 7 の他端から昇圧された出力電圧 V_{out} を出力する。

なお、この第 1 0 実施形態では、必ずしも図 2 2 に示すチャージポンプの回路を使用することに限るものではなく、他の回路構成のチャージポンプを用いてもよい。

10 また、図 2 3 は図 2 0 に示す電圧極性反転回路 2 6 の一例を示している。この電圧極性反転回路は、図 2 3 に示すように、入力電圧 V_{in} が一端に印加されたスイッチ 5 1 と、上記スイッチ 5 1 の他端に一端が接続され、他端がグランドに接続されたスイッチ 5 2 と、グランドが一端に接続されたスイッチ 5 3 と、上記ス
15 イッチ 5 3 の他端に一端が接続されたスイッチ 5 4 と、上記スイッチ 5 1, 5 2 の接続点とスイッチ 5 3, 5 4 の接続点とを接続するコンデンサ C 31 と、上記スイッチ 5 4 の他端とグランドとの間に接続されたコンデンサ C 32 とを備えている。上記スイッチ 5 4 の他端から出力電圧 V_{out} が出力される。

上記スイッチ 5 1, 5 3 をクロック信号 ϕA によってオンオフ動作させる一方、スイッチ 5 2, 5 4 をクロック信号 ϕB (クロック信号 ϕA に対して逆相) によって
20 オンオフ動作させる。そうすることによって、クロック信号 ϕA がハイレベルのとき、コンデンサ C 31 に電荷が蓄積され、クロック信号 ϕA がローレベルのときにクロック信号 ϕB がハイレベルとなると、電荷再配分の法則により、コンデンサ C 31 に蓄積されていた電荷の一部がコンデンサ C 32 に移動する。そして、クロック信号 ϕA , ϕB により電荷再配分が繰り返されることによって、コンデンサ C
25 32 の両端に入力電圧 V_{in} と絶対値が等しく極性が反対の出力電圧 V_{out} が得られる。

なお、この第 1 0 実施形態では、必ずしも図 2 2 に示す電圧極性反転回路を使用することに限るものではなく、他の構成のスイッチ回路を用いてもよい。

図 2 4 は上記第 1 0 実施形態の半導体記憶装置の動作を説明するフローチャー

トであり、図20に示す制御回路25を動作させる手順を示している。

まず、ステップS1で入力電圧判定回路24により入力電圧の電圧レベルを検出して、ステップS2で検出された入力電圧が所定電圧以下か否かを判定する。そして、ステップS2で入力電圧が所定電圧以下であると判定すると、ステップS3に進み、スイッチSW1をオフにし、スイッチSW2, SW3をオンにしてこの処理を終了する。

一方、ステップS2で入力電圧が所定電圧を越えると判定すると、ステップS4に進み、スイッチSW1をオンにし、スイッチSW2, SW3をオフにしてこの処理を終了する。

このように、上記半導体記憶装置によれば、図1に示すメモリ素子をメモリセルとしてメモリセルに用いることにより、微細化しても2ビットの記憶保持可能であり、かつ、図20に示す正極性電源選択回路22によりメモリセルアレイに供給する電流が小さいことに起因する回路誤動作を防止することができる。

また、上記第1, 第2および第3のスイッチSW1, SW2, SW3に図21に示す構成のスイッチ回路を用いることによって、小さい回路面積で実現可能であり、かつ、正極性電源選択回路22を正確に動作させる。

また、上記所定電圧を+3V~+12Vの範囲内の電圧とすることによって、メモリセルアレイ21を構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流を供給することが可能となる。

さらに、メモリセルとしてのメモリ素子の消去動作時にゲート電極に負電圧を供給するとき、電圧極性反転回路26によって正電圧を負電圧に変換し、ドレイン電極に正電圧、ゲート電極に負電極を印加することによって、小さい回路面積で効率的かつ確実な消去動作が可能となる。

(第11実施形態)

図25は本発明の第11実施形態の半導体記憶装置のブロック図を示している。上記第10実施形態では、消去時にメモリセルを構成するメモリ素子のゲート電極に負電圧を印加するとき、外部から電圧を供給しなくとも消去に十分な電流が供給される場合を想定しているが、この第11実施形態では、図20に示す電圧極性反転回路26からは、十分な電流が得られない場合を想定している。

この第11実施形態では、図20に示す第10実施形態の半導体記憶装置と同一の構成のメモリセルアレイ21と正極性電源選択回路22とを備え、電圧極性反転回路26の代わりに負電圧用の負極性電源選択回路70を備えている。

上記負極性電源選択回路70は、正極性電源選択回路22と同様の構成をしており、図21に示すPチャネル電界効果トランジスタを用いた第1～第3のスイッチSW1～SW3の代わりにNチャネル電界効果トランジスタを用いた第4～第6のスイッチで構成される。すなわち、上記負極性電源選択回路70は、外部から供給される入力電圧(負電圧)が入力端子に印加され、出力端子がメモリセルアレイの入力端子に接続された第4のスイッチと、上記入力電圧(負電圧)が入力端子に印加された第5のスイッチと、上記第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージポンプと、上記第2のチャージポンプのポンプ出力端子に出力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第6のスイッチと、上記入力電圧(負電圧)が第2の所定電圧以上か否かを判定する第2の入力電圧判定回路と、上記第4, 第5および第6のスイッチをオンオフ制御する第2の制御回路とを備えている。

上記負極性電源選択回路70において、第2の入力電圧判定回路が入力電圧(負電圧)が第2の所定電圧以下(電圧の絶対値大)であると判定すると、第4のスイッチをオンし、第5, 第6のスイッチをオフして、メモリセルアレイ21に外部電圧を供給する。一方、上記第2の入力電圧判定回路が上記入力電圧(負電圧)が第2の所定電圧を超える(電圧の絶対値小)場合、第4のスイッチをオフし、第5, 第6のスイッチをオンして、第2のチャージポンプから正確な負電圧がメモリセルアレイ21に供給される。

なお、この第11実施形態の半導体記憶装置では、正極性電源選択回路22において、チャージポンプ23は第1のチャージポンプ、入力電圧判定回路24は第1の入力電圧判定回路、制御回路25は第1の制御回路であり、入力電圧判定回路24が入力電圧(正電圧)を判定するときの所定電圧は第1の所定電圧である。

したがって、上記第10実施形態の半導体記憶装置と同様の効果を有すると共に、メモリセルアレイ21に正電圧および負電圧を供給する場合、十分な電流供給が可能となる。

また、上記第 1～第 6 のスイッチに図 2 1 に示す構成のスイッチ回路を用いることによって、小さい回路面積で実現可能であり、かつ、正極性電源選択回路 2 2 および負極性電源選択回路 7 0 を正確に動作させる。

また、上記正極性電源選択回路 2 2 の第 1 の所定電圧を + 3 V ～ + 1 2 V の範囲内の電圧とし、負極性電源選択回路 7 0 の第 2 の所定電圧を - 3 V ～ - 1 2 V の範囲内の電圧とすることによって、メモリセルアレイ 2 1 を構成するメモリセルとしてのメモリ素子に適切な電圧でかつ十分な電流を供給することが可能となる。

(第 1 2 実施形態)

10 上述した半導体記憶装置の応用例として、例えば、図 2 6 に示したように、液晶パネルの画像調整用の書換え可能な不揮発性メモリが挙げられる。

図 2 6 に示す液晶パネル 7 0 1 は、液晶ドライバ 7 0 2 によって駆動される。液晶ドライバ 7 0 2 内には、半導体記憶装置としての不揮発性メモリ部 7 0 3、SRAM 部 7 0 4、液晶ドライバ回路 7 0 5 がある。不揮発性メモリ部 7 0 3 は、
15 本発明の不揮発性メモリ素子を含み、好ましくは第 1 0, 1 1 実施形態に記載の半導体記憶装置よりなる。不揮発性メモリ部 7 0 3 は外部から書換え可能な構成を有している。

不揮発性メモリ部 7 0 3 に記憶された情報は、機器の電源の投入時に SRAM 部 7 0 4 に転写される。液晶ドライバ回路 7 0 5 は、必要に応じて SRAM 部 7
20 0 4 から記憶情報を読み出すことができる。SRAM 部を設けることにより、記憶情報の読み出し速度を非常に高速に行なうことができる。

液晶ドライバ 7 0 2 は、図 2 6 に示すように液晶パネル 7 0 1 に外付けしてもよいが、液晶パネル 7 0 1 上に形成してもよい。

液晶パネルは、各画素に多段階の電圧を与えることによって表示される階調を変えているが、与えた電圧と表示される階調との関係は製品ごとにばらつきが生じる。そのため、製品の完成後に個々の製品のばらつきを補正するための情報を記憶させ、その情報を基に補正を行なうことにより、製品間の画質を均一にすることができる。したがって、補正情報を記憶するための書換え可能な不揮発性メモリを液晶ドライバに搭載することが好ましい。この不揮発性メモリとして本発

明の不揮発性メモリ素子を用いるのが好ましく、特に、本発明の不揮発性メモリ素子を集積した第10, 11実施形態に記載の半導体記憶装置を用いるのが好ましい。

5 本発明のメモリ素子を液晶パネルの画像調整用の不揮発性メモリとして用いられ、液晶ドライバなどの回路との混載プロセスが容易であることから製造コストを低減することができる。また、第10, 11実施形態に記載の半導体記憶装置は、比較的メモリ規模が小規模で、信頼性や安定性が重視される場合に特に好適である。通常、液晶パネルの画像調整用の不揮発性メモリは、例えば、数キロバイトであり、比較的メモリ規模が小規模である。したがって、第10, 11実施
10 形態に記載の半導体記憶装置を液晶パネルの画像調整用の不揮発性メモリとして用いるのが特に好ましい。

(第13実施形態)

図27は本発明の第13実施形態の携帯電子機器の一例としての携帯電話の概略ブロック図を示している。

15 この携帯電話は、図27に示すように、制御回路74と、電池77と、RF(無線周波数)回路75と、表示部72と、アンテナ71と、信号線73と、電力線76とを備えている。上記制御回路74は、上記第10, 第11実施形態の半導体記憶装置74aが組み込まれている。なお、制御回路74は、同一構造の素子をメモリ素子および論理回路素子として兼用した集積回路であることが望ましい。
20 い。これにより、集積回路の製造が容易になり、携帯電子機器の製造コストを特に低減することができる。

このように、1トランジスタ当たり2ビットの記憶が可能であり、かつ微細化が容易でかつ回路誤動作を防止できる半導体記憶装置を携帯電子機器に用いることにより、携帯電子機器の小型化ができると共に、信頼性を向上できる。また、小
25 型化により製造コストを削減することができる。

また、上記第1～第13実施形態では、半導体層上にゲート絶縁膜を介して形成されたゲート電極と、上記ゲート電極下に配置されたチャネル領域と、上記チャネル領域の両側に配置され、上記チャネル領域と逆導電型を有する拡散領域と、上記ゲート電極の両側に形成され、電荷を保持する機能を有するメモリ機能体と

からなるメモリ素子をメモリセルとして用いたが、メモリセルとして用いるメモリ素子はこれに限らない。

請 求 の 範 囲

1. 半導体層(1102)上にゲート絶縁膜(1103)を介して形成されたゲート電極(1104)と、上記ゲート電極(1104)下に配置されたチャネル領域(1121)と、上記チャネル領域(1121)の両側に配置され、上記チャネル領域(1121)と逆導電型を有する拡散領域(1107a, 1107b)と、上記ゲート電極(1104)の両側に形成され、電荷を保持する機能を有するメモリ機能体(1105a, 1105b)とからなるメモリ素子をメモリセルとして用いたメモリセルアレイ(21)を備えた半導体記憶装置であって、

上記メモリセルアレイに外部から供給される入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第1のスイッチ(SW1)と、

上記入力電圧が入力端子に印加された第2のスイッチ(SW2)と、

上記第2のスイッチ(SW2)の出力端子にポンプ入力端子が接続されたチャージポンプ(23)と、

上記チャージポンプ(23)のポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイ(21)の入力端子に接続された第3のスイッチ(SW3)と、

上記入力電圧が所定電圧以下か否かを判定する入力電圧判定回路(24)と、

上記入力電圧判定回路(24)が上記入力電圧が上記所定電圧を超えたと判定すると、上記第1のスイッチ(SW1)をオンして上記第2および第3のスイッチ(SW2, SW3)をオフする一方、上記入力電圧判定回路が上記入力電圧が上記所定電圧以下であると判定すると、上記第1のスイッチ(SW1)をオフして上記第2および第3のスイッチ(SW2, SW3)をオンする制御回路(25)とを備えたことを特徴とする半導体記憶装置。

2. 請求項1に記載の半導体記憶装置において、

上記第1, 第2および第3のスイッチ(SW1, SW2, SW3)夫々は、

ソースが入力端子(Vin)を形成する第1のPチャネル電界効果トランジスタ(31)と、

上記第1のPチャネル電界効果トランジスタ(31)のドレインにドレインが接続され、ソースが出力端子(Vout)を形成する第2のPチャネル電界効果トランジスタ

タ (32) と、

上記制御回路 (25) からの制御信号に応じて、上記第 1 の P チャネル電界効果トランジスタ (31) のゲートをソースまたは接地のいずれか一方に選択的に接続する第 1 の電圧レベルシフタ (33) と、

- 5 上記制御回路 (25) からの制御信号に応じて、上記第 2 の P チャネル電界効果トランジスタ (32) のゲートをソースまたは接地のいずれか一方に選択的に接続する第 2 の電圧レベルシフタ (34) とを有することを特徴とする半導体記憶装置。

3. 請求項 1 に記載の半導体記憶装置において、

- 10 上記所定電圧は +3 V ~ +1.2 V の範囲内の電圧であることを特徴とする半導体記憶装置。

4. 請求項 1 乃至 3 のいずれか 1 つに記載の半導体記憶装置において、

上記第 1 のスイッチ (SW1) の出力端子に入力端子が接続され、その入力端子に
入力された電圧の極性を反転させて上記メモリセルアレイ (21) に出力する電圧極
性反転回路 (26) を備えたことを特徴とする半導体記憶装置。

- 15 5. 半導体層 (1102) 上にゲート絶縁膜 (1103) を介して形成されたゲート電極 (1104) と、上記ゲート電極 (1104) 下に配置されたチャネル領域 (1121) と、上記チャネル領域 (1121) の両側に配置され、上記チャネル領域 (1121) と逆導電型を有する拡散領域 (1107a, 1107b) と、上記ゲート電極 (1104) の両側に形成され、電荷を保持する機能を有するメモリ機能体 (1105a, 1105b) とからなるメモリ素子をメモリセルとして用いたメモリセルアレイ (21) を備えた半導体記憶装置であって、

- 20 上記メモリセルアレイ (21) に外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイ (25) の入力端子に接続された第 1 のスイッチ (SW1) と、

上記負極性の入力電圧が入力端子に印加された第 2 のスイッチ (SW2) と、

- 25 上記第 2 のスイッチ (SW2) の出力端子にポンプ入力端子が接続されたチャージポンプ (23) と、

上記チャージポンプ (23) のポンプ出力端子に入力端子が接続され、出力端子が
上記メモリセルアレイ (21) の入力端子に接続された第 3 のスイッチ (SW3) と、

上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路 (24) と、

上記入力電圧判定回路(24)が上記入力電圧が所定電圧未満であると判定すると、
上記第1のスイッチ(SW1)をオンして上記第2および第3のスイッチ(SW2, SW3)を
オフする一方、上記入力電圧判定回路(24)が上記入力電圧が上記所定電圧以上で
あると判定すると、上記第1のスイッチ(SW1)をオフして上記第2および第3の
5 スイッチ(SW2, SW3)をオンする制御回路(25)とを備えたことを特徴とする半導体
記憶装置。

6. 請求項5に記載の半導体記憶装置において、

上記第1, 第2および第3のスイッチ(SW1~3)夫々は、

ソースが入力端子(Vin)を形成する第1のNチャネル電界効果トランジスタ
10 (31)と、

上記第1のNチャネル電界効果トランジスタ(31)のドレインにドレインが接続
され、ソースが出力端子(Vout)を形成する第2のNチャネル電界効果トランジスタ
(32)と、

上記制御回路(25)からの制御信号に応じて、上記第1のNチャネル電界効果ト
ランジスタ(31)のゲートをソースまたは接地のいずれか一方に選択的に接続する
15 第1の電圧レベルシフタ(33)と、

上記制御回路(25)からの制御信号に応じて、上記第2のNチャネル電界効果ト
ランジスタ(32)のゲートをソースまたは接地のいずれか一方に選択的に接続する
第2の電圧レベルシフタ(34)とを有することを特徴とする半導体記憶装置。

20 7. 請求項5に記載の半導体記憶装置において、

上記所定電圧は $-3\text{ V} \sim -1.2\text{ V}$ の範囲内の電圧であることを特徴とする半導
体記憶装置。

8. 半導体層(1102)上にゲート絶縁膜(1103)を介して形成されたゲート電極
(1104)と、上記ゲート電極(1104)下に配置されたチャネル領域(1121)と、上記チャ
ネル領域(1121)の両側に配置され、上記チャネル領域(1121)と逆導電型を有する
25 拡散領域(1107a, 1107b)と、上記ゲート電極(1104)の両側に形成され、電荷を
保持する機能を有するメモリ機能体(1105a, 1105b)とからなるメモリ素子をメモ
リセルとして用いたメモリセルアレイ(21)を備えた半導体記憶装置であって、

上記メモリセルアレイ(21)に外部から供給される正極性の入力電圧が入力端子

に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第1のスイッチ(SW1)と、

上記正極性の入力電圧が入力端子に印加された第2のスイッチ(SW2)と、

上記第2のスイッチの出力端子にポンプ入力端子が接続された第1のチャージ
5 ポンプ(23)と、

上記第1のチャージポンプ(23)のポンプ出力端子に入力端子が接続され、出力
端子が上記メモリセルアレイ(21)の入力端子に接続された第3のスイッチ(SW3)
と、

上記正極性の入力電圧が第1の所定電圧以下か否かを判定する第1の入力電圧
10 判定回路(24)と、

上記第1の入力電圧判定回路(24)が上記正極性の入力電圧が上記第1の所定電
圧を超えたと判定すると、上記第1のスイッチ(SW1)をオンして上記第2および
第3のスイッチ(SW2, SW3)をオフする一方、上記第1の入力電圧判定回路が上記
正極性の入力電圧が上記第1の所定電圧以下であると判定すると、上記第1の
15 スイッチ(SW1)をオフして上記第2および第3のスイッチ(SW2, SW3)をオンする第1
の制御回路(25)と、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印
加され、出力端子が上記メモリセルアレイの入力端子に接続された第4のスイッ
チと、

20 上記負極性の入力電圧が入力端子に印加された第5のスイッチと、

上記第5のスイッチの出力端子にポンプ入力端子が接続された第2のチャージ
ポンプと、

上記第2のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子
が上記メモリセルアレイの入力端子に接続された第6のスイッチと、

25 上記負極性の入力電圧が第2の所定電圧以上か否かを判定する第2の入力電圧
判定回路と、

上記第2の入力電圧判定回路が上記負極性の入力電圧が上記第2の所定電圧未
満であると判定すると、上記第4のスイッチをオンして上記第5および第6のス
イッチをオフする一方、上記第2の入力電圧判定回路が上記負極性の入力電圧が

上記第2の所定電圧以上であると判定すると、上記第4のスイッチをオフして上記第5および第6のスイッチをオンする第2の制御回路とを備えたことを特徴とする半導体記憶装置。

9. 請求項8に記載の半導体記憶装置において、

5 上記第1, 第2および第3のスイッチ(SW1~3)夫々は、

 ソースが入力端子(Vin)を形成する第1のPチャネル電界効果トランジスタ

(31)と、

 上記第1のPチャネル電界効果トランジスタ(31)のドレインにドレインが接続

され、ソースが出力端子(Vout)を形成する第2のPチャネル電界効果トランジスタ

10 (32)と、

 上記第1の制御回路(25)からの制御信号に応じて、上記第1のPチャネル電界

効果トランジスタ(31)のゲートをソースまたは接地のいずれか一方に選択的に接続

する第1の電圧レベルシフタ(33)と、

 上記第1の制御回路(25)からの制御信号に応じて、上記第2のPチャネル電界

15 効果トランジスタ(32)のゲートをソースまたは接地のいずれか一方に選択的に接続

する第2の電圧レベルシフタ(34)とを有すると共に、

 上記第4, 第5および第6のスイッチ夫々は、

 ソースが入力端子を形成する第1のNチャネル電界効果トランジスタと、

 上記第1のNチャネル電界効果トランジスタのドレインにドレインが接続され、

20 ソースが出力端子を形成する第2のNチャネル電界効果トランジスタと、

 上記第2の制御回路からの制御信号に応じて、上記第1のNチャネル電界効果

トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第

3の電圧レベルシフタと、

 上記第2の制御回路からの制御信号に応じて、上記第2のNチャネル電界効果

25 トランジスタのゲートをソースまたは接地のいずれか一方に選択的に接続する第

4の電圧レベルシフタとを有することを特徴とする半導体記憶装置。

10. 請求項8に記載の半導体記憶装置において、

 上記第1の所定電圧は+3V~+12Vの範囲内の電圧であり、

 上記第2の所定電圧は-3V~-12Vの範囲内の電圧であることを特徴とす

る半導体記憶装置。

1 1. メモリセルアレイ (21) と、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 1 のスイッチ (SW1) と、

上記負極性の入力電圧が入力端子に印加された第 2 のスイッチ (SW2) と、

上記第 2 のスイッチ (SW2) の出力端子にポンプ入力端子が接続されたチャージポンプ (23) と、

上記チャージポンプ (23) のポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイ (21) の入力端子に接続された第 3 のスイッチ (SW3) と、

上記入力電圧が所定電圧以上か否かを判定する入力電圧判定回路 (24) と、

上記入力電圧判定回路 (24) が上記入力電圧が所定電圧未満であると判定すると、上記第 1 のスイッチ (SW1) をオンして上記第 2 および第 3 のスイッチ (SW2, SW3) をオフする一方、上記入力電圧判定回路 (24) が上記入力電圧が上記所定電圧以上であると判定すると、上記第 1 のスイッチ (SW1) をオフして上記第 2 および第 3 のスイッチ (SW2, SW3) をオンする制御回路 (25) とを備えたことを特徴とする半導体記憶装置。

1 2. メモリセルアレイ (21) と、

上記メモリセルアレイ (21) に外部から供給される正極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイ (21) の入力端子に接続された第 1 のスイッチ (SW1) と、

上記正極性の入力電圧が入力端子に印加された第 2 のスイッチ (SW2) と、

上記第 2 のスイッチの出力端子にポンプ入力端子が接続された第 1 のチャージポンプ (23) と、

上記第 1 のチャージポンプ (23) のポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイ (21) の入力端子に接続された第 3 のスイッチ (SW3) と、

上記正極性の入力電圧が所定電圧以下か否かを判定する第 1 の入力電圧判定回路 (24) と、

上記第 1 の入力電圧判定回路 (24) が上記正極性の入力電圧が第 1 の所定電圧を超えたと判定すると、上記第 1 のスイッチ (SW1) をオンして上記第 2 および第 3 のスイッチ (SW2, SW3) をオフする一方、上記第 1 の入力電圧判定回路 (24) が上記正極性の入力電圧が上記第 1 の所定電圧以下であると判定すると、上記第 1 の
5 スイッチ (SW1) をオフして上記第 2 および第 3 のスイッチ (SW2, SW3) をオンする第 1 の制御回路 (25) と、

上記メモリセルアレイに外部から供給される負極性の入力電圧が入力端子に印加され、出力端子が上記メモリセルアレイの入力端子に接続された第 4 のスイッチと、

10 上記負極性の入力電圧が入力端子に印加された第 5 のスイッチと、

上記第 5 のスイッチの出力端子にポンプ入力端子が接続された第 2 のチャージポンプと、

上記第 2 のチャージポンプのポンプ出力端子に入力端子が接続され、出力端子が上記メモリセルアレイの入力端子に接続された第 6 のスイッチと、

15 上記負極性の入力電圧が所定電圧以上か否かを判定する第 2 の入力電圧判定回路と、

上記第 2 の入力電圧判定回路が上記負極性の入力電圧が第 2 の所定電圧未満であると判定すると、上記第 4 のスイッチをオンして上記第 5 および第 6 のスイッチをオフする一方、上記第 2 の入力電圧判定回路が上記負極性の入力電圧が上記
20 第 2 の所定電圧以上であると判定すると、上記第 4 のスイッチをオフして上記第 5 および第 6 のスイッチをオンする第 2 の制御回路とを備えたことを特徴とする半導体記憶装置。

1 3. 請求項 1 に記載の半導体記憶装置において、上記メモリ素子の有するメモリ機能体の少なくとも一部が拡散領域の一部にオーバーラップしていることを特徴とする半導体記憶装置。
25

1 4. 請求項 1 に記載の半導体記憶装置において、上記メモリ素子のゲート絶縁膜の表面と略並行な表面を有して電荷を保持する機能を有する膜 (1242) とチャネル領域又は半導体層 (1211) とを隔てる絶縁膜 (1241) を有し、絶縁膜 (1241) 膜厚 (T1) が、ゲート絶縁膜 (1214) の膜厚 (T2) より薄く、かつ 0.8 nm 以上であるこ

とを特徴とする半導体記憶装置。

15. 請求項1に記載の半導体記憶装置を備えたことを特徴とする携帯電子機器。

Fig. 1

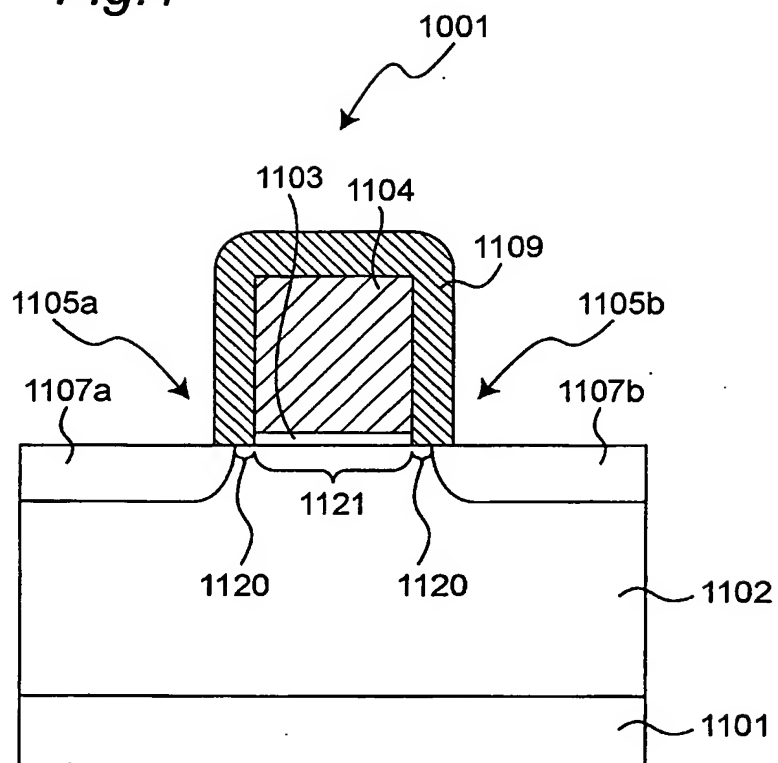


Fig.2A

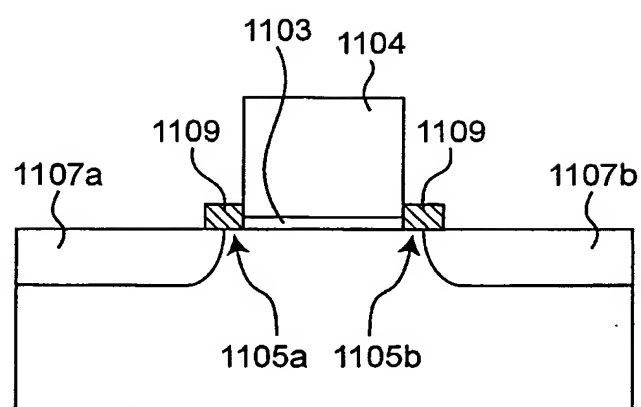


Fig.2B

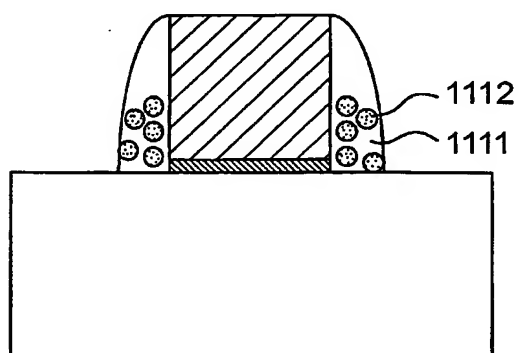


Fig.3

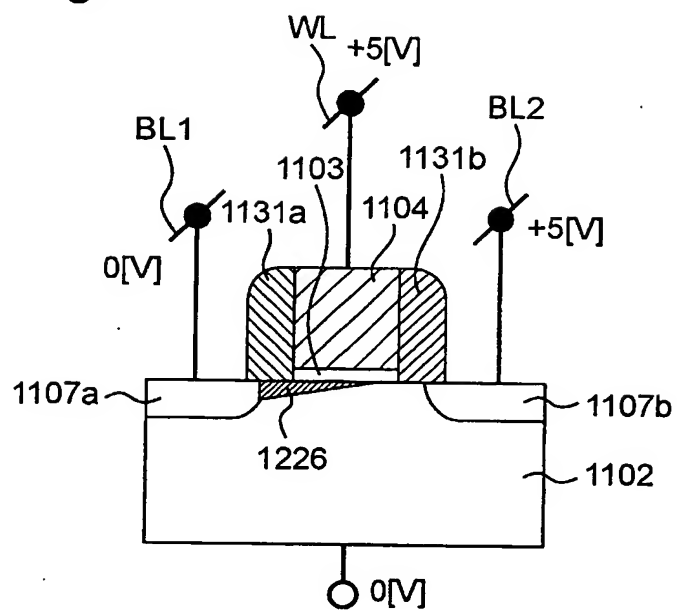


Fig.4

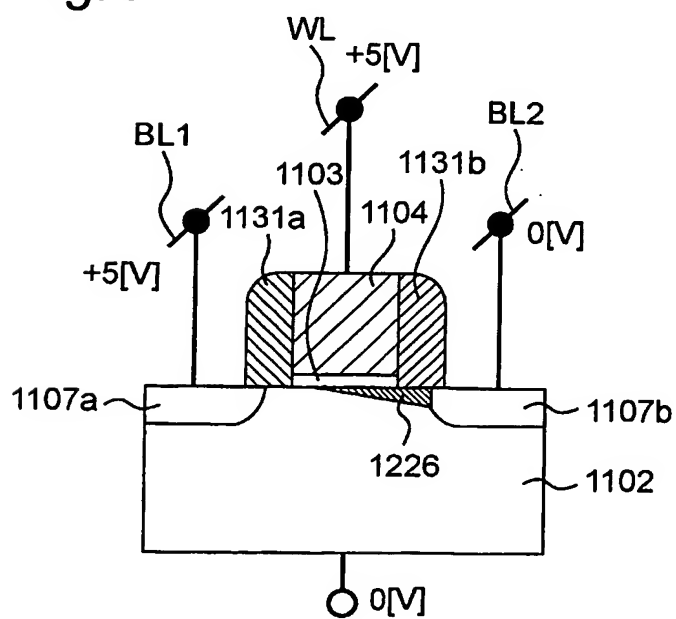


Fig. 5

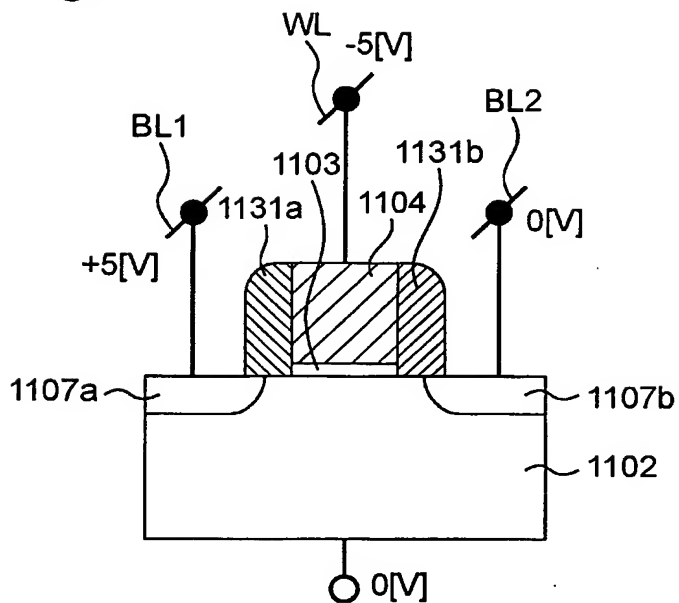


Fig. 6

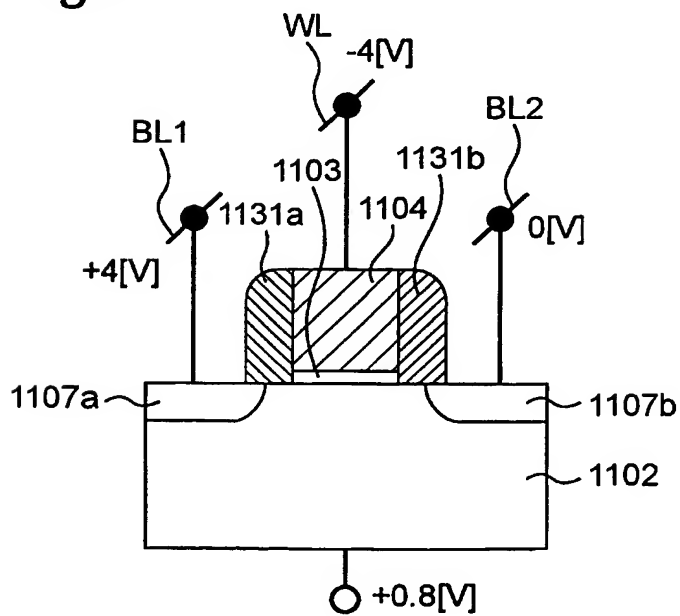


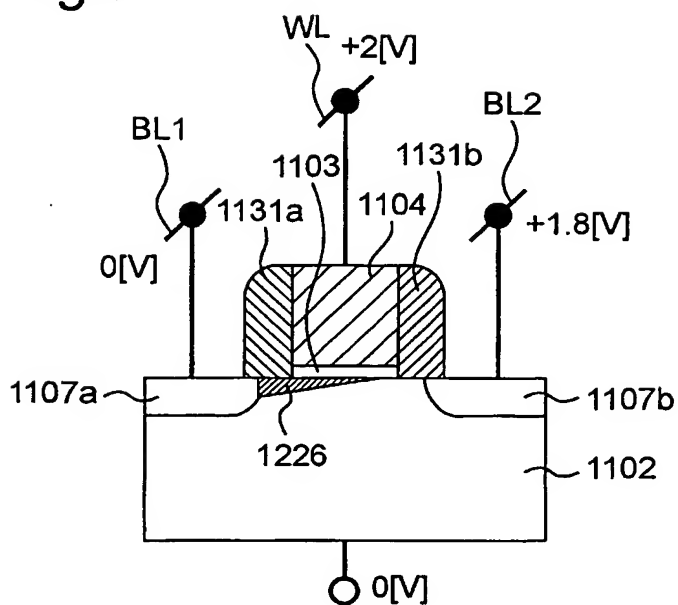
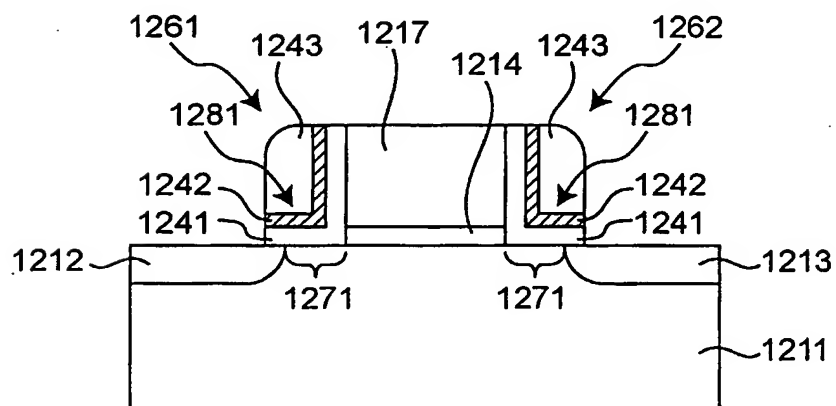
Fig. 7*Fig. 8*

Fig.9

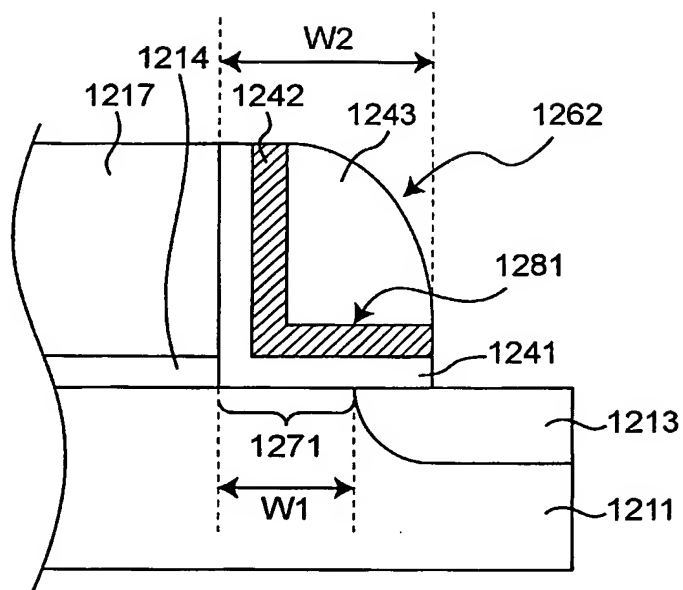


Fig. 10

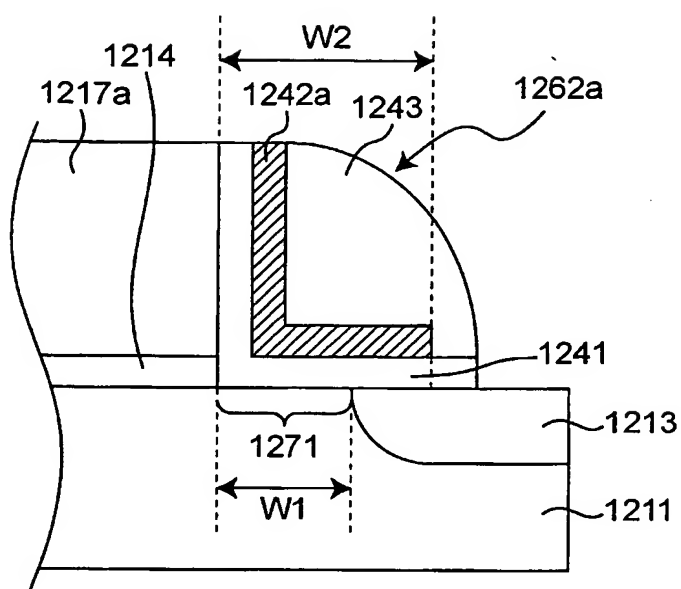


Fig. 11

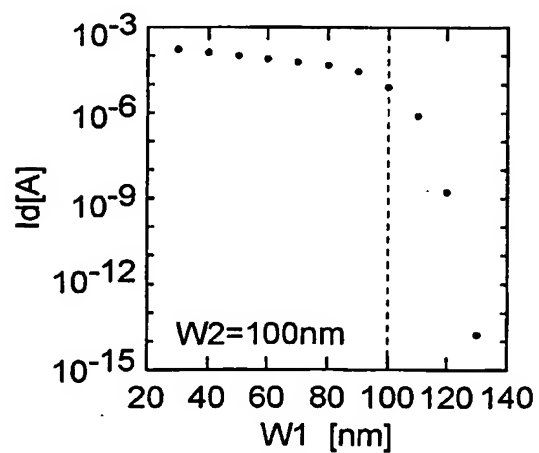


Fig. 12

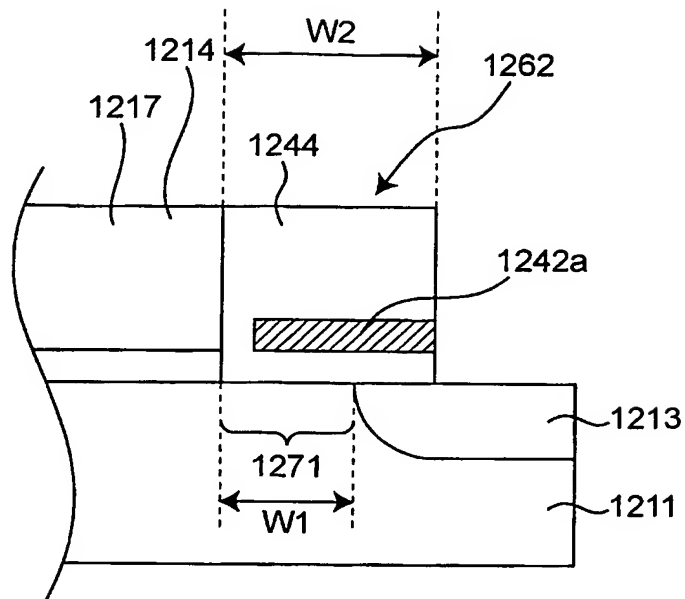


Fig. 13

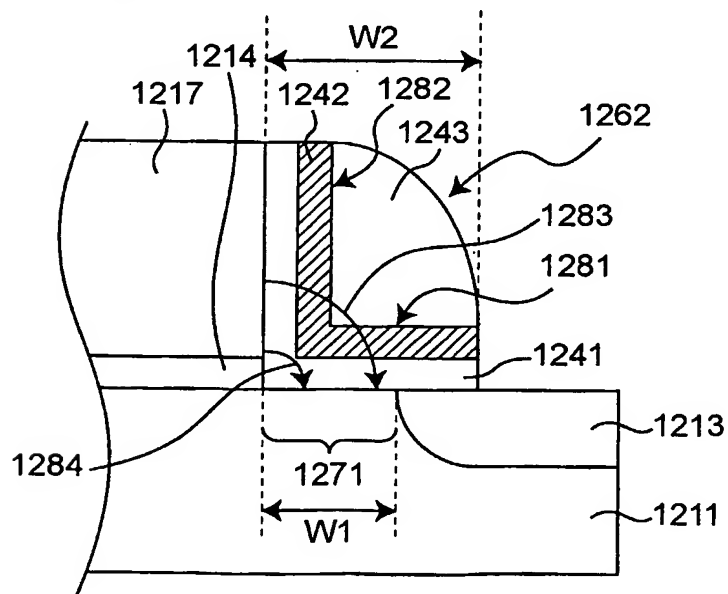


Fig. 14

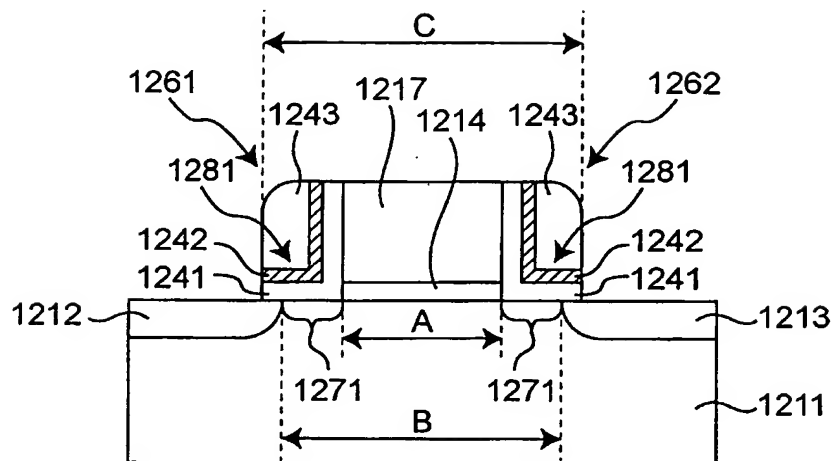


Fig. 15

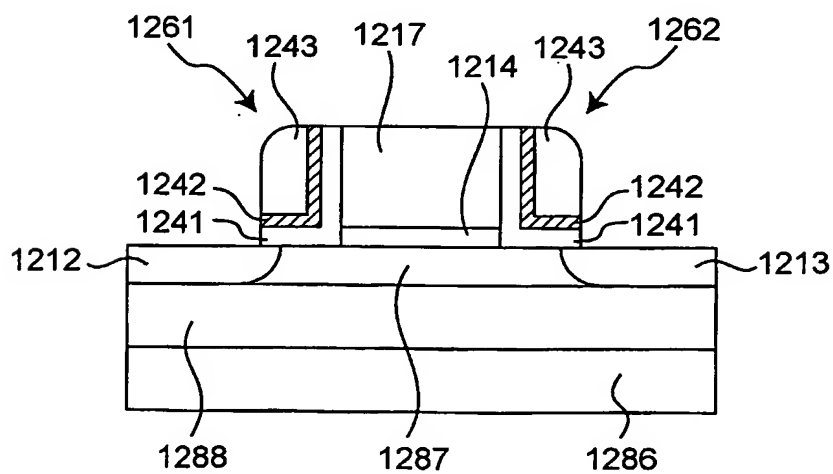


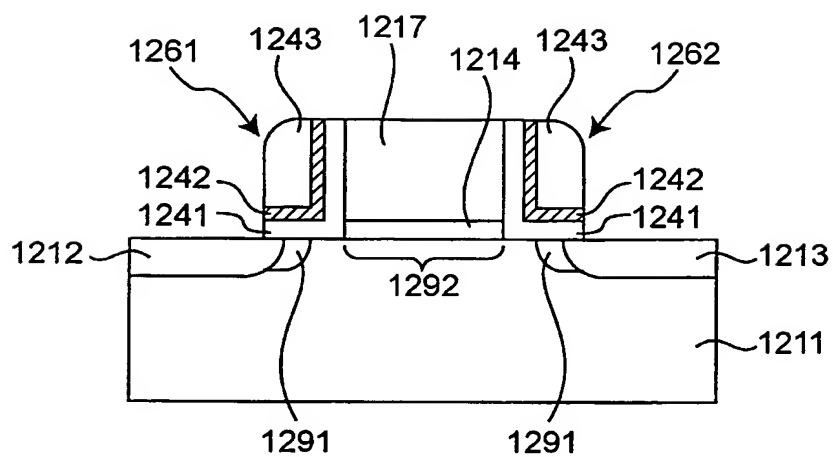
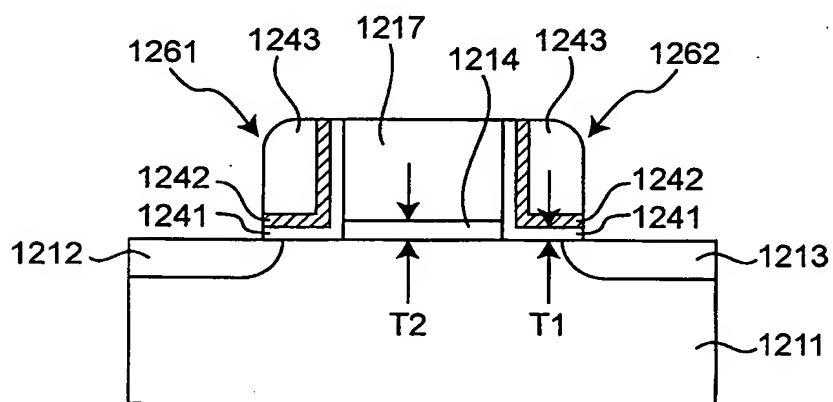
Fig. 16*Fig. 17*

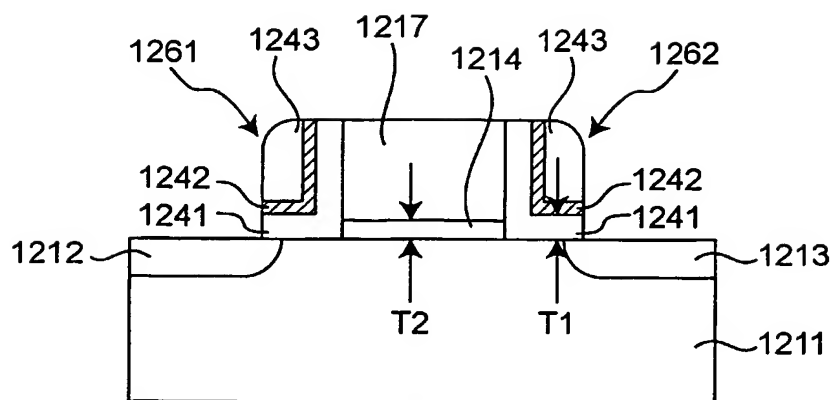
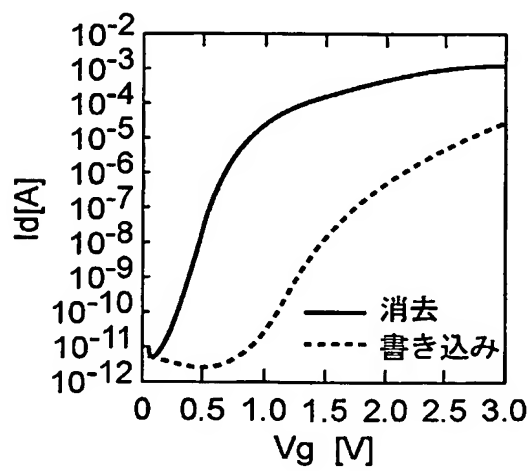
Fig. 18*Fig. 19*

Fig.20

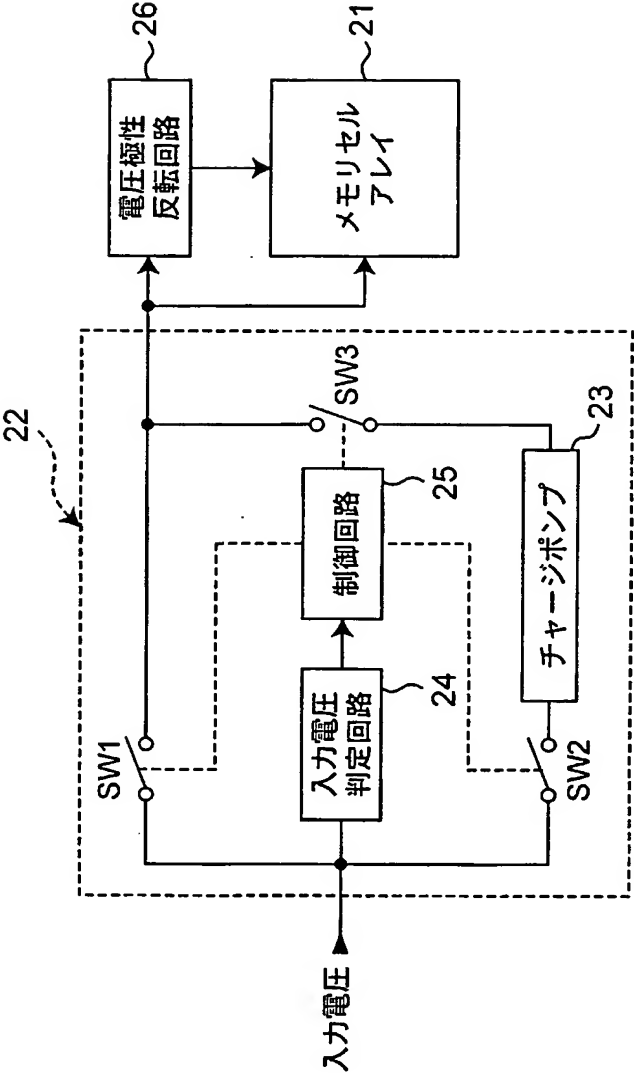


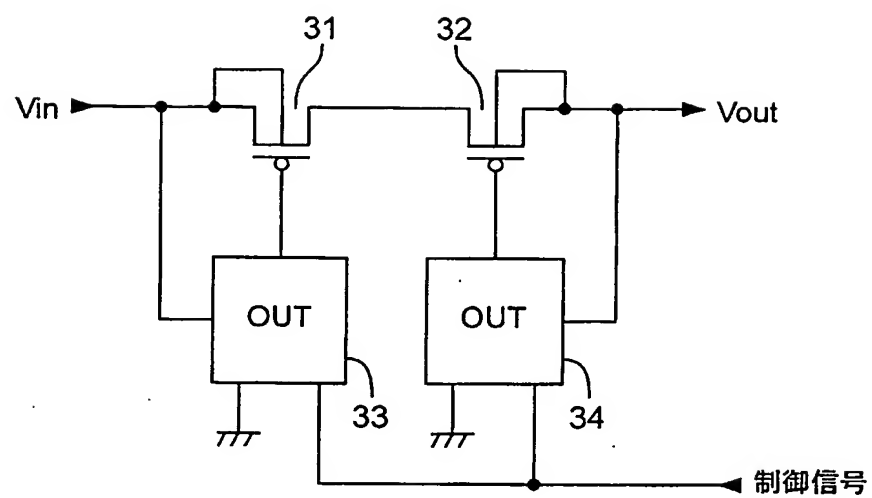
Fig.21

Fig.22

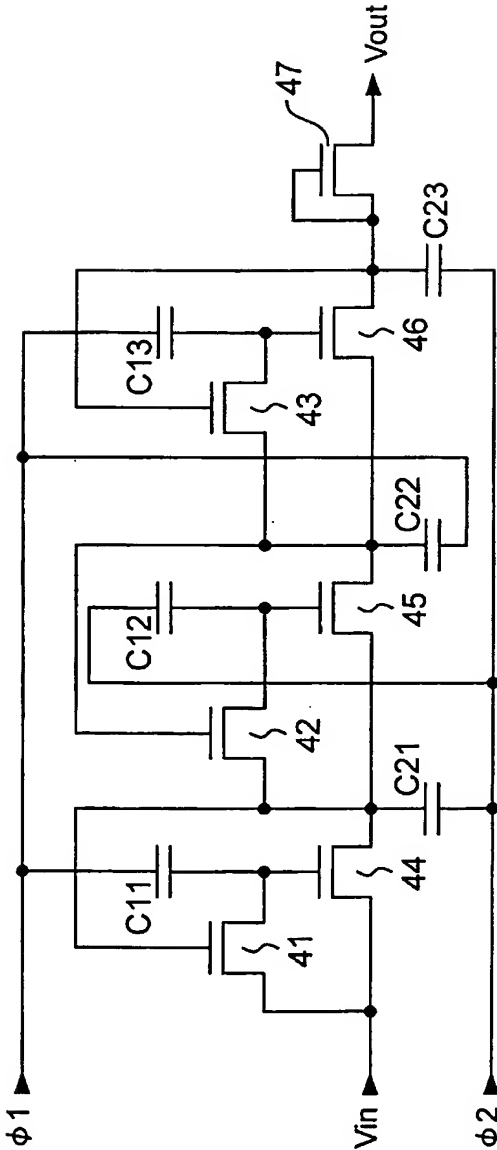


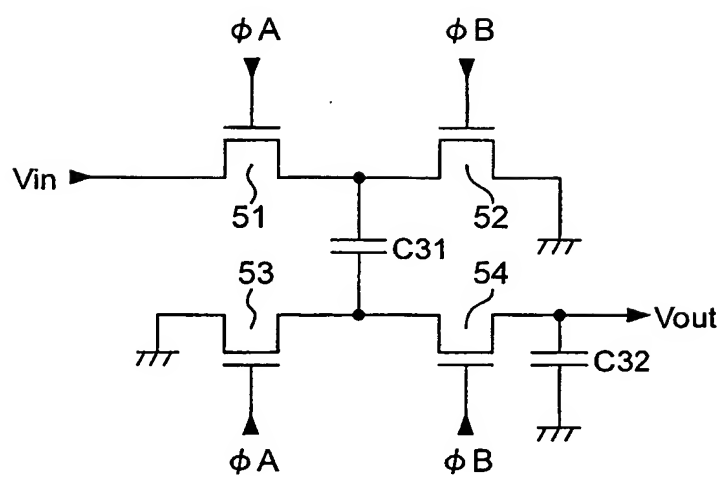
Fig.23

Fig.24

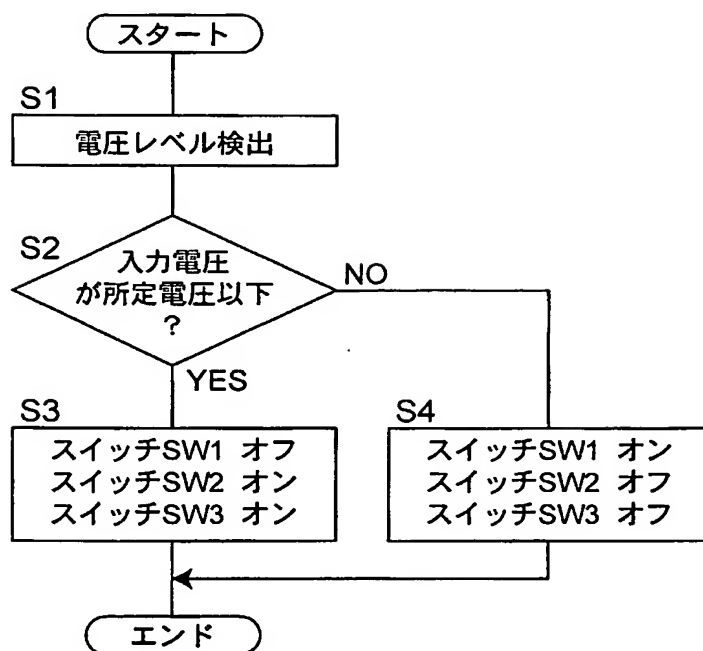


Fig. 25

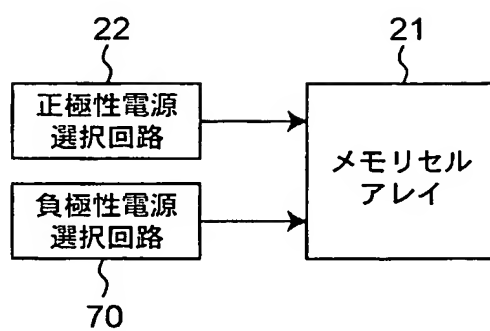


Fig. 26

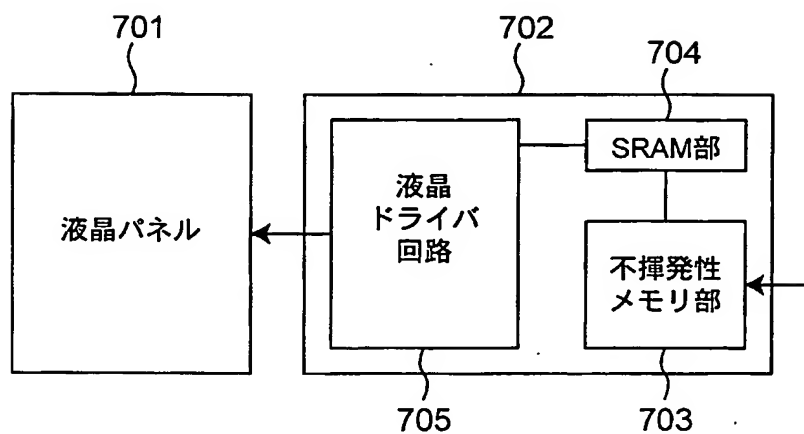


Fig.27

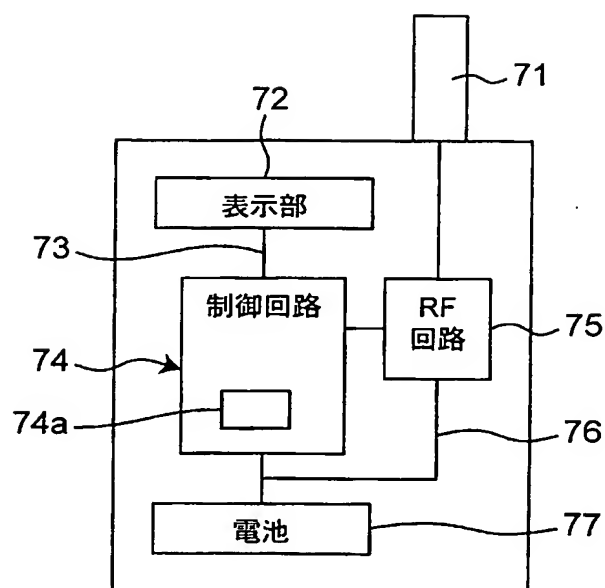
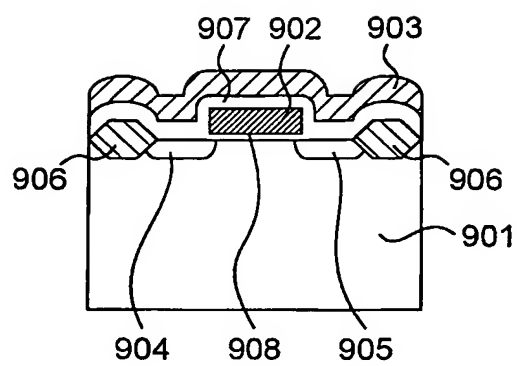
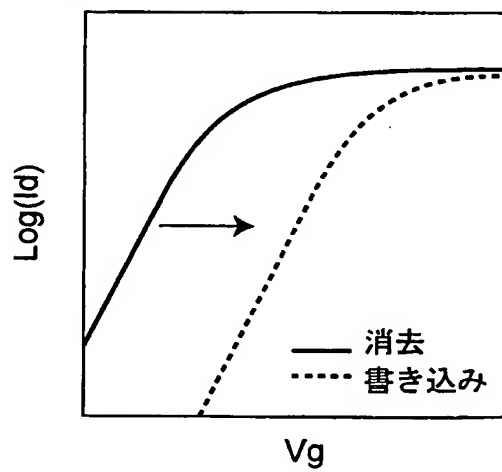


Fig.28*Fig.29*

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11559

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G11C16/30, H01L27/10, 29/788

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G11C16/02-16/34, H01L27/10, 29/788, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-157894 A (Toshiba Corp.), 31 May, 2002 (31.05.02), Full text; all drawings & US 2002/0033720 A1	1-3, 13, 15 4-12, 14
Y A	JP 2002-50703 A (Hitachi, Ltd.), 15 February, 2002 (15.02.02), Full text; all drawings & US 2002/0040992 A1	1-3, 13, 15 4-12, 14
Y A	JP 2000-244298 A (Toshiba Corp.), 08 September, 2000 (08.09.00), Full text; all drawings (Family: none)	2 6, 9

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 December, 2003 (16.12.03)Date of mailing of the international search report
13 January, 2004 (13.01.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11559

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-219596 A (NEC Corp.), 10 August, 1999 (10.08.99), Full text; all drawings & US 6084387 A & EP 933861 A2 & CN 1228599 A	4
A	JP 2000-500892 A (Lexar Microsystems, Inc.), 25 January, 2000 (25.01.00), Full text; all drawings & US 5818781 A & EP 861468 A2 & CN 1202255 A & WO 97/20269 A1	1-15